

COPY

FP-1029より

FP-1077

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-340455 ✓

(43) 公開日 平成8年(1996)12月24日

(51) Int. Cl. <sup>6</sup>	識別記号	庁内整理番号	F I . . .	技術表示箇所
H 0 4 N 1/48			H 0 4 N 1/46	A
B 4 1 J 2/525			9/07	A
H 0 4 N 1/19			B 4 1 J 3/00	B
1/60			H 0 4 N 1/04	1 0 2
9/07			1/40	D
審査請求 未請求 請求項の数28 O L (全 24 頁)				

(21) 出願番号 特願平7-147690

(22) 出願日 平成7年(1995)6月14日

(71) 出願人 000000376

オリンパス光学工業株式会社 ✓

東京都渋谷区幡ヶ谷2丁目43番2号

(72) 発明者 斎藤 邦昭

東京都渋谷区幡ヶ谷2丁目43番2号 オリ

ンパス光学工業株式会社内

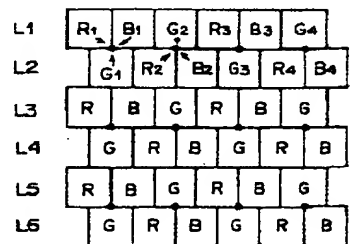
(74) 代理人 弁理士 鈴江 武彦

## (54) 【発明の名称】 画像信号処理装置

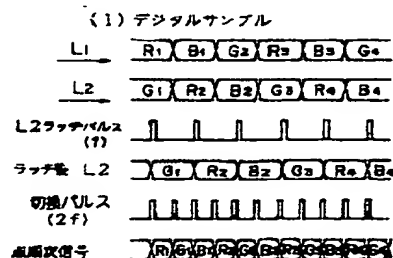
## (57) 【要約】

【目的】 非格子状の画素配列の撮像素子を適用しながらもコンピュータに取り込むに適合した格子状配列の画素に相応する画像データを得ることができるようにする。

【構成】 固体撮像素子の画素配列を格子状配列と仮定したものに相応する仮想画像空間の各仮想画素位置における当該一色の画素出力に相応する各画素データを、当該仮想画素の近傍に位置する上記非格子状の配列による複数の実画素からの画素信号に基づいて生成する格子状配列画素データ生成手段を備えた。



(a) ●: 仮想画素位置



(b)

## 【特許請求の範囲】

【請求項 1】 各々自己に該当するフィルター色に対応した光電変換出力を得るようになされた光電変換単位領域である各色の画素が 2 次元的且つ非格子状に配列される光電変換面からの画素信号が所定の態様で順次読み出されるように構成された固体撮像素子を適用し、この固体撮像素子の出力に基づいてカラー画像信号を得るようになされた画像信号処理装置であって、

同固体撮像素子の画素配列を格子状配列と仮定したものに相応する仮想画像空間の各仮想画素位置における当該一の色の画素出力に相応する各画素データを、当該仮想画素の近傍に位置する上記非格子状の配列による複数の実画素からの画素信号に基づいて生成する格子状配列画素データ生成手段を備えたことを特徴とする画像信号処理装置。

【請求項 2】 各々自己に該当するフィルター色に対応した光電変換出力を得るようになされた光電変換単位領域である各色の画素が水平方向に周期性を以て現れるように整列してなる複数の水平画素列を成す如く配列され且つ垂直方向に隣接して対をなす関係にある水平画素列相互間では、同一のフィルター色に対応する画素の水平方向位置が、1 画素の水平方向の幅を単位ピッチとして 2 分の 1 ピッチずれた関係となるように配列されることにより、上記対をなす関係にある水平画素列中の 3 色の画素が相互に近接して位置して概略デルタ状の位置関係を成すように構成された固体撮像素子を適用し、この固体撮像素子の出力に基づいてカラー画像信号を得るようになされた画像信号処理装置であって、

同固体撮像素子の画素配列を格子状配列と仮定したものに相応する仮想画像空間の各仮想画素位置における当該一の色の画素出力に相応する各画素データを、上記対をなす関係にある水平画素列中の各該当する上記概略デルタ状の位置関係にある 3 色の実画素からの画素信号に基づいて生成する格子状配列画素データ生成手段を備えたことを特徴とする画像信号処理装置。

【請求項 3】 上記固体撮像素子として X-Y アドレス型固体撮像素子を適用してなることを特徴とする請求項 1 または 2 に記載の画像信号処理装置。

【請求項 4】 上記固体撮像素子として水平シフトレジスタおよび垂直シフトレジスタによって垂直方向に隣接する 2 画素を同時に選択可能なものを適用しこの選択による画素信号を水平ライン選択切換手段により所定のタイミングで交互に切り換えて外部に導出するように構成された固体撮像素子を適用してなることを特徴とする請求項 1、2 または 3 に記載の画像信号処理装置。

【請求項 5】 上記仮想画像空間の各仮想画素の格子状配列を正方格子状配列としたことを特徴とする請求項 1 または 2 に記載の画像信号処理装置。

【請求項 6】 各々自己に該当するフィルター色に対応した光電変換出力を得るようになされた光電変換単位領域

である各色の画素が水平方向に周期性を以て現れるように整列してなる複数の水平画素列を成す如く配列され且つ垂直方向に隣接して対をなす関係にある水平画素列相互間では、同一のフィルター色に対応する画素の水平方向位置が、1 画素の水平方向の幅を単位ピッチとして 2 分の 1 ピッチずれた関係となるように配列されることにより、上記対をなす関係にある水平画素列中の 3 色の画素が相互に近接して位置して概略デルタ状の位置関係を成すように構成された固体撮像素子を適用し、この固体撮像素子の出力に基づいてカラー画像信号を得るようになされた画像信号処理装置であって、

同固体撮像素子の画素配列を格子状配列と仮定したものに相応する仮想画像空間の各仮想画素についてそれらの各中心位置が、上記固体撮像素子の各水平画素列のうちの偶数番目または奇数番目のいずれか一方に該当する各水平画素列に属する各実画素の四隅に相当する位置にあるものと仮定したときの、これら各仮想画素の出力に相応する各画素データを、上記対をなす関係にある水平画素列中の各該当する実画素からの画素信号に直接または間接に依拠して生成することにより、上記実画素総数に相応する数の仮想画素を表すデータを得るようになされた格子状配列画素データ生成手段を備えたことを特徴とする画像信号処理装置。

【請求項 7】 上記格子状配列画素データ生成手段は、上記固体撮像素子の対をなす関係にある水平画素列中の相互に隣接した位置関係にある各該当する 3 色の実画素で占められる各仮想領域を、当該一の仮想領域を構成する 3 つの実画素のうちの一側方の実画素と該一の仮想領域の隣接領域を構成する 3 つの実画素のうちの他側方の実画素とが同一画素となる関係で重畳するように想定したときの、これら各仮想領域の略々中心に位置する仮想画素に相応するものとして、これら各該当する 3 色の実画素からの画素信号に基づいて格子状配列の上記各仮想画素データを生成するように構成されたものであることを特徴とする請求項 6 に記載の画像信号処理装置。

【請求項 8】 上記格子状配列画素データ生成手段は、上記固体撮像素子の対をなす関係にある水平画素列中の相互に隣接して概略デルタ状の位置関係にある各該当する 3 色の実画素で占められる仮想領域を各仮想領域が互いに重畳する部分を持たないようにそれら相互の位置関係を想定したときの、それら各仮想領域の略々中心に位置する仮想画素に相応するものとして、上記各該当する 3 色の実画素からの画素信号に基づいて格子状配列の各仮想画素データたる第 1 の仮想画素データを生成する第 1 の格子状配列画素データ生成手段と、上記固体撮像素子の画素配列を格子状配列と仮定したものに相応する仮想画像空間の各仮想画素の中心位置を該固体撮像素子の各水平画素列のうちの偶数番目または奇数番目のいずれか一方に該当する各水平画素列に属する各実画素の四隅に相当する位置に仮定することにより、上記第 1 の仮想画

素データよりも大容量のデータとなるこれら仮想画素の出力に相応する各画素データたる第2の仮想画素データを、上記第1の格子状配列画素データ生成手段により生成された第1の仮想画素データに依拠して生成するようになされた第2の格子状配列画素データ生成手段とを備えたものであることを特徴とする請求項6に記載の画像信号処理装置。

【請求項9】上記第1の格子状配列画素データ生成手段は当該固体撮像素子の各実画素からの出力信号をこの出力信号の出力周波数の2倍の周波数でサンプリングしてなるデータを点順次の画像出力として導出するように構成されてなるものであることを特徴とする請求項8に記載の画像信号処理装置。

【請求項10】上記第1の格子状配列画素データ生成手段により生成された第1の仮想画素データが上記第2の格子状配列画素データ生成手段に供給される間に、該第1の仮想画素データに関して、階調変換又は外部機器へのデータ転送若しくは記録媒体へのデータ書き込みのいずれかを含む処理を施す手段が介在されてなることを特徴とする請求項8に記載の画像信号処理装置。

【請求項11】上記格子状配列画素データ生成手段により生成された各画素データを上記仮想画像空間の水平方向及び垂直方向に1つの実画素の一辺の長さを間隔の単位として見て両方向に夫々 $6n$  ( $n$ は自然数)間隔でサンプリングしてなるデータを画像表示用データとして出力するための画像表示用データ生成手段を備えたことを特徴とする請求項2に記載の画像信号処理装置。

【請求項12】上記固体撮像素子としてX-Yアドレス型固体撮像素子を適用し、この固体撮像素子の読み出し動作を制御して上記サンプリングにより抽出する画像表示用データに相応する各仮想画素に準じた位置にある実画素のデータを直接的に摘出して画像表示用データとして割り当てるための制御動作を行う制御手段を備えたことを特徴とする請求項11に記載の画像信号処理装置。

【請求項13】上記格子状配列画素データ生成手段により生成された各画素データを上記仮想画像空間の水平方向には仮想画素で4画素毎に、垂直方向には仮想画素で3画素毎にサンプリングしてなるデータを画像表示用データとして出力するための画像表示用データ生成手段を備えたことを特徴とする請求項2に記載の画像信号処理装置。

【請求項14】上記画像表示用データ生成手段による比較的解像度の画像により記録対象画像の状態を確認可能になされたプレビュー手段と、該プレビュー手段により確認された当該画像を表わす上記格子状配列画素データ生成手段の出力データを記録する記録手段とを備えたことを特徴とする請求項11または13に記載の画像信号処理装置。

【請求項15】上記格子状配列画素データ生成手段は、上記固体撮像素子の対をなす関係にある水平画素列中の

相互に隣接した位置関係にある各該当する3色の実画素で占められる仮想領域を各仮想領域が互いに重畳しないようにそれら相互の位置関係を想定したときのそれら各仮想領域の略々中心に位置する仮想画素に相応するものとしてこれら各該当する3色の実画素からの画素信号に基づいて通常密度の格子状配列の各仮想画素データたる一次仮想画素データを生成する通常密度格子状配列画素データ生成手段と、上記一次仮想画素データに対応する通常密度の格子状配列に対しその12倍密度の高密度格子状画素配列をなす各仮想画素を表す各二次仮想画素データを上記各一次仮想画素データに依拠して生成する高密度格子状配列画素データ生成手段と、を備えたものであることを特徴とする請求項2に記載の画像信号処理装置。

【請求項16】上記普通密度格子状配列画素データ生成手段により生成された一次仮想画素データが上記高密度格子状配列画素データ生成手段に供給される間に、該一次仮想画素データに関して、階調変換又は外部機器へのデータ転送若しくは記録媒体へのデータ書き込みのいずれかを含む処理を施す手段が介在されてなることを特徴とする請求項14に記載の画像信号処理装置。

【請求項17】上記格子状配列画素データ生成手段は、上記固体撮像素子の対をなす関係にある水平画素列中の相互に隣接した位置関係にある各該当する3色の実画素で占められる仮想領域を各仮想領域が互いに重畳しないようにそれら相互の位置関係を想定したときのそれら各仮想領域の略々中心であって当該3色の実画素の境界線の交点上に自己の中心が位置する仮想画素に相応するものとしてこれら各該当する3色の実画素からの画素信号に基づいて格子状配列の各仮想画素データたる交点画素データを生成する交点画素データ生成手段と、これら各交点画素データの表わす各仮想画素を垂直方向に結ぶ線分の midpoint に自己の中心が位置する各仮想画素に相応する各仮想画素データたる補間画素データを上記各交点画素データに基づく補間処理により生成する補間画素データ生成手段と、を備えてなり、これら各交点画素データ及び補間画素データにより上記固体撮像素子の画素配列を格子状配列と仮定したものに相応する仮想画像空間の各仮想画素が表され得るように構成されたことを特徴とする請求項2に記載の画像信号処理装置。

【請求項18】各々自己に該当するフィルター色に対応した光電変換出力を得るようになされた光電変換単位領域である各色の画素が水平方向に周期性を以て現れるように整列してなる複数の水平画素列を成す如く配列され、且つ、垂直方向に隣接して対をなす関係にある水平画素列相互間では、同一のフィルター色に対応する画素の水平方向位置が、1画素の水平方向の幅を単位ピッチとして2分の1ピッチずれた関係となるように配列されることにより、上記対をなす関係にある水平画素列中の3色の画素が相互に近接して位置して概略デルタ状の位

置関係を成すように構成された固体撮像素子を適用し、この固体撮像素子の出力に基づいてカラー画像信号を得るようになされた画像信号処理装置であって、同固体撮像素子の画素配列を格子状配列と仮定したものに相応する仮想画像空間の各仮想画素位置における当該一の色の光電変換出力に相応する各画素データを、上下に隣接する3つの水平画素列中の同一色の最近接関係にある3つの実画素からの画素信号に基づいて生成する格子状配列画素データ生成手段を備えたことを特徴とする画像信号処理装置。

【請求項19】上記固体撮像素子としてX-Yアドレス型固体撮像素子を適用してなることを特徴とする請求項18に記載の画像信号処理装置。

【請求項20】上記固体撮像素子として水平シフトレジスタおよび垂直シフトレジスタによって垂直方向に隣接する2画素を同時に選択可能なものを適用しこの選択による画素信号を水平ライン選択切換手段により所定のタイミングで交互に切り換えて外部に導出するように構成された固体撮像素子を適用してなることを特徴とする請求項18に記載の画像信号処理装置。

【請求項21】上記仮想画像空間の各仮想画素の格子状配列を正方格子状配列としたことを特徴とする請求項18に記載の画像信号処理装置。

【請求項22】上記格子状配列画素データ生成手段は、上記固体撮像素子の上下に隣接する各3行の実画素の水平画素列でなる各1組の水平画素列のうち中間に位置する水平画素列についてその列に属する同一色の実画素間に夫々隣接して位置する2つの他色の実画素位置に対応して上記同一色の2つの仮想画素が存在するものと想定し、これら2つの仮想画素を表わすデータを、上記各1組の水平画素列毎に、該各2つの仮想画素に対し夫々最も近接して位置する上記同一色の3つの実画素データに基づいて当該仮想画素に対する実画素の各相関度に応じた演算により夫々算出し、且つ、これら夫々算出された各仮想画素と共に格子状の配列を構成すべき各位置に該当する各仮想画素を表わすデータを、これらの仮想画素に対し夫々最も近接して位置する上記同一色の3つの実画素データに基づいて当該仮想画素に対する実画素の各相関度に応じた演算により夫々算出することにより、上記実画素総数よりも多くの仮想画素を表すデータを得るようになされたものであることを特徴とする請求項18に記載の画像信号処理装置。

【請求項23】上記格子状配列画素データ生成手段は当該固体撮像素子の各実画素からの出力信号をこの出力信号の出力周波数の2倍の周波数でサンプリングしてなるデータを点順次の画像出力として導出する手段を備えるものであることを特徴とする請求項18に記載の画像信号処理装置。

【請求項24】上記固体撮像素子からの実画素データが上記格子状配列画素データ生成手段に供給される間に、

該実画素データに関して、階調変換又は外部機器へのデータ転送若しくは記録媒体へのデータ書き込みのいずれかを含む処理を施す手段が介在されてなることを特徴とする請求項18に記載の画像信号処理装置。

【請求項25】上記格子状配列画素データ生成手段により生成された各画素データを上記仮想画像空間の水平方向及び垂直方向に1つの実画素の一边の長さを間隔の単位として見て両方向に夫々6n（nは自然数）間隔でサンプリングしてなるデータを画像表示用データとして出力するための画像表示用データ生成手段を備えたことを特徴とする請求項18に記載の画像信号処理装置。

【請求項26】上記固体撮像素子としてX-Yアドレス型固体撮像素子を適用し、この固体撮像素子の読み出し動作を制御して上記サンプリングにより抽出する画像表示用データに相応する各仮想画素に準じた位置にある実画素のデータを直接的に摘出して画像表示用データとして割り当てるための制御動作を行う制御手段を備えたことを特徴とする請求項18に記載の画像信号処理装置。

【請求項27】上記格子状配列画素データ生成手段により生成された各画素データを上記仮想画像空間の水平方向には仮想画素で4画素毎に、垂直方向には仮想画素で3画素毎にサンプリングしてなるデータを画像表示用データとして出力するための画像表示用データ生成手段を備えたことを特徴とする請求項18に記載の画像信号処理装置。

【請求項28】上記画像表示用データ生成手段による比較的低解像度の画像により記録対象画像の状態を確認可能になされたプレビュー手段と、該プレビュー手段により確認された当該画像を表わす上記格子状配列画素データ生成手段の出力データを記録する記録手段とを備えたことを特徴とする請求項25または27に記載の画像信号処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、適用された撮像素子により撮影された画像を扱う画像信号処理装置、特に、印刷等を行なうことを予定して撮像画像をコンピュータ（パーソナルコンピュータ）に入力するための機能を備えた画像信号処理装置に関する。

【0002】

【従来の技術】X-Yアドレス方式やCCD等の固体撮像素子を適用した単板式のカラー撮像装置は従来より既に普及している。一般にこの種の撮像装置に適用されている固体撮像素子では、各々自己に該当するフィルター色に対応した光電変換出力を得るようになされた光電変換単位領域である各色の画素が水平方向に周期性を以て現れるように整列してなる複数の水平画素列を成す如く配列され、且つ、垂直方向に隣接して対をなす関係にある水平画素列相互間では、同一のフィルター色に対応する画素の水平方向位置が、1画素の水平方向の幅を単位

ピッチとして2分の1ピッチずれた関係となるように配列されることにより、上記対をなす関係にある水平画素列中の3色の画素が相互に近接して位置して概略デルタ状の位置関係を成すように構成されている。このような構成になる固体撮像素子は、例えば、特開平1-274579号公報等にも開示されている。

【0003】このような、3色の色フィルター（画素）がデルタ状の位置関係を成すように構成されてなる方式の撮像素子は、色フィルターが縦ストライプ状に配列された方式の撮像素子やモザイク状に配列された方式の撮像素子に比べ、撮像の2次元ナイキスト限界に関し、等方性に優れるという利点がある。また、R、G、Bの3色の色フィルターをデルタ状の位置関係をなすように配すれば、R、G、B各色について、それらの個数と配置について均一性を確保できる。従って、この点では、上記方式の固体撮像素子は、一般に画像の再現についての等方性や色の再現性について厳格な特性が要求される画像入力装置に好適なものであるということが出来る。

【0004】以下に、代表的な色フィルターの配列方式毎の解像特性等について更に詳細に述べる。図20は単版式カラー撮像素子のカラーフィルター配列方式の相違による撮像のナイキスト限界特性（再現能力の限界特性）の違いを示す図である。同図（a）は縦ストライプ配列、同図（c）はモザイク配列、同図（e）は本願発明に適用する素子もこれに属するデルタ（ $\Delta$ ）配列のものを夫々示す。即ち、図20（e）の例における撮像素子は、各々自己に該当するフィルター色に対応した光電変換出力を得るようになされた光電変換単位領域である各色の画素が水平方向に周期性を以て現れるように整理してなる複数の水平画素列を成す如く配列され且つ垂直方向に隣接して対をなす関係にある水平画素列相互間では、同一のフィルター色に対応する画素の水平方向位置が、1画素の水平方向の幅を単位ピッチとして2分の1ピッチずれた関係となるように配列されることにより、上記対をなす関係にある水平画素列中の3色の画素が相互に近接して位置して概略デルタ状の位置関係を成すように構成される。

【0005】図20（a）の縦ストライプ配列では、垂直方向にR、B、G各色のフィルターが帯状に延長されて配され、水平方向にはこのR、B、G各色がこの順に周期的に繰り返される形態をとるため、垂直方向にはR、B、Gの各該当する色に関してはナイキスト限界特性（再現能力の限界特性）が良好であるが、水平方向には3画素毎にしか該当色の現実の出力を得ることが出来ないためナイキスト限界特性が劣る。このようなナイキスト限界特性を公知の逆格子の表記方法（テレビジョン学会誌：Vol. 46, No. 5 (1992) pp. 615 ~ 623 等参照）により図20（b）に示してある。尚、各図において“d”は隣接画素の中心間の距離であり、図20（b）、図20（d）及び図20（f）の各図におい

て、方形乃至多角形の閉じた線図は、各対応するカラーフィルター配列方式毎の解像ナイキスト限界領域である。この線図に、再現可能な空間周波数の $\mu$ 、 $\nu$ 成分（縦偏、横偏）に対するナイキスト周波数 $\mu_N$ 、 $\nu_N$ 及び全方向にわたるナイキスト周波数の最大成分と最小成分との比（ $f_{MAX}/f_{MIN}$ ）が示してある。図20（b）、図20（d）及び図20（f）の各図相互の比較により、容易に了解される通り、デルタ（ $\Delta$ ）配列のものが最も等方性に優れた特性を呈する。

【0006】一方、撮像素子により撮像した画像を印刷に供する場合、一般に、一次的なR、B、Gの色信号を二次的なイエロー、シアン、マゼンタ、及びブラックの信号に変換して印刷用の版を作成することが行われる。このような信号変換を行なうことを前提とすると、一次的なR、B、Gの色信号は各色についてS/Nやデータ量が等しいことが望ましく、また、解像の等方性に優れることが望ましい。また、撮像の解像度が高いことが要求されることは勿論である。以上の観点で見るとき、図20（a）の縦ストライプ配列は解像度の等方性に不足し、図20（c）のモザイク配列ではG成分に対してR、Bの各成分が不足するほか等方性にも未だ不足するが、図20（e）のデルタ（ $\Delta$ ）配列はこの趣旨に最も適合する方式であると言える。

【0007】

【発明が解決しようとする課題】しかしながら、他方、コンピュータ（パーソナルコンピュータ）への撮像画像の取り込みや、印刷製版用のデジタルリプレスにおける電子画像については、一般に、画像データが正方面素（正方格子状の配列を有する画素）に相応するものであることを要する。このため、上述のような3色の画素がデルタ状の位置関係を成すように構成されてなる方式の撮像素子を、コンピュータに取り込むための電子画像を得るための素子としてそのまま適用することはできない。特開平1-274579号公報には、同一のフィルター色に対応する画素の水平方向位置が、1画素の水平方向の幅を単位ピッチとして2分の1ピッチずれた関係となるように配列されて、3色の色フィルターがデルタ状の位置関係をなすようになされた撮像素子について、インターレースのフィールド毎に画素出力を点順次化するためのスイッチングパルスの移相を180度シフトすることによって水平解像度の高い輝度信号を得る技術が開示されるも、出力画像データをコンピュータに取り込むに適合したものとするについての課題認識乃至はそのための手段等については一切提案されていない。

【0008】本願発明は叙上に鑑みてなされたものであり、各々自己に該当するフィルター色に対応した光電変換出力を得るようになされた光電変換単位領域である各色の画素が水平方向に周期性を以て現れるように整理してなる複数の水平画素列を成す如く配列され、且つ、垂直方向に隣接して対をなす関係にある水平画素列相互間

では、同一のフィルター色に対応する画素の水平方向位置が、1画素の水平方向の幅を単位ピッチとして2分の1ピッチずれた関係となるように配列されることにより、上記対をなす関係にある水平画素列中の3色の画素が相互に近接して位置して概略デルタ状の位置関係を成すように構成された撮像素子を適用しながらも、コンピュータに取り込むに適合した正画素に相応する画像データを得ることができるようにしたこの種の画像信号処理装置を提供することを目的とする。

#### 【0009】

【課題を解決するための手段及び作用】上記目的を達成すべく、本願発明の画像信号処理装置は、一つの広義の表現によれば：各々自己に該当するフィルター色に対応した光電変換出力を得るようになされた光電変換単位領域である各色の画素が2次元的且つ非格子状に配列されてなる光電変換面からの画素信号が所定の態様で順次読み出されるように構成された固体撮像素子を適用し、この固体撮像素子の出力に基づいてカラー画像信号を得るようになされた画像信号処理装置であって、同固体撮像素子の画素配列を格子状配列と仮定したものに相応する仮想画像空間の各仮想画素位置における当該一の色の画素出力に相応する各画素データを、当該仮想画素の近傍に位置する上記非格子状の配列による複数の実画素からの画素信号に基づいて生成する格子状配列画素データ生成手段を備えたことを特徴とするものであり…(1) また、一つの限定的表現によれば：各々自己に該当するフィルター色に対応した光電変換出力を得るようになされた光電変換単位領域である各色の画素が水平方向に周期性を以て現れるように整列してなる複数の水平画素列を成す如く配列され且つ垂直方向に隣接して対をなす関係にある水平画素列相互間では、同一のフィルター色に対応する画素の水平方向位置が、1画素の水平方向の幅を単位ピッチとして2分の1ピッチずれた関係となるように配列されることにより、上記対をなす関係にある水平画素列中の3色の画素が相互に近接して位置して概略デルタ状の位置関係を成すように構成された固体撮像素子を適用し、この固体撮像素子の出力に基づいてカラー画像信号を得るようになされた画像信号処理装置であって、同固体撮像素子の画素配列を格子状配列と仮定したものに相応する仮想画像空間の各仮想画素位置における当該一の色の画素出力に相応する各画素データを、上記対をなす関係にある水平画素列中の各該当する上記概略デルタ状の位置関係にある3色の実画素からの画素信号に基づいて生成する格子状配列画素データ生成手段を備えたことを特徴とするものであり…(2)

更に、他の一つの限定的表現によれば：各々自己に該当するフィルター色に対応した光電変換出力を得るようになされた光電変換単位領域である各色の画素が水平方向に周期性を以て現れるように整列してなる複数の水平画素列を成す如く配列され且つ垂直方向に隣接して対をな

す関係にある水平画素列相互間では、同一のフィルター色に対応する画素の水平方向位置が、1画素の水平方向の幅を単位ピッチとして2分の1ピッチずれた関係となるように配列されることにより、上記対をなす関係にある水平画素列中の3色の画素が相互に近接して位置して概略デルタ状の位置関係を成すように構成された固体撮像素子を適用し、この固体撮像素子の出力に基づいてカラー画像信号を得るようになされた画像信号処理装置であって、同固体撮像素子の画素配列を格子状配列と仮定したものに相応する仮想画像空間の各仮想画素についてそれらの各中心位置が、上記固体撮像素子の各水平画素列のうちの偶数番目または奇数番目のいずれか一方に該当する各水平画素列に属する各実画素の四隅に相当する位置にあるものと仮定したときの、これら各仮想画素の出力に相応する各画素データを、上記対をなす関係にある水平画素列中の各該当する実画素からの画素信号に直接または間接に依拠して生成することにより、上記実画素総数の略々3倍の数の仮想画素を表すデータを得るようになされた格子状配列画素データ生成手段を備えたことを特徴とするものであり…(6)

また、他の限定的構成のものとして：各々自己に該当するフィルター色に対応した光電変換出力を得るようになされた光電変換単位領域である各色の画素が水平方向に周期性を以て現れるように整列してなる複数の水平画素列を成す如く配列され、且つ、垂直方向に隣接して対をなす関係にある水平画素列相互間では、同一のフィルター色に対応する画素の水平方向位置が、1画素の水平方向の幅を単位ピッチとして2分の1ピッチずれた関係となるように配列されることにより、上記対をなす関係にある水平画素列中の3色の画素が相互に近接して位置して概略デルタ状の位置関係を成すように構成された固体撮像素子を適用し、この固体撮像素子の出力に基づいてカラー画像信号を得るようになされた画像信号処理装置であって、同固体撮像素子の画素配列を格子状配列と仮定したものに相応する仮想画像空間の各仮想画素位置における当該一の色の光電変換出力に相応する各画素データを、上下に隣接する3つの水平画素列中の同一色の最近接関係にある3つの実画素からの画素信号に基づいて生成する格子状配列画素データ生成手段を備えたことを特徴とするものである…(18)

#### 【0010】

【実施例】以下、図面を参照して本願発明の実施例につき詳述することにより、本願発明を明らかにする。図1は、本発明の一実施例に適用される撮像素子（固体撮像素子）の画素配列を示す図である。図示の通り、この素子における色フィルターの配列は、例えば、各奇数行（水平方向に延長した奇数番目の各画素列）10, 12, …ではR→B→Gの順での画素配列が循環的に繰り返される形態をとり、各偶数行11, …では、上記各奇数行とは水平方向に1/2画素ピッチずれた関係



で、R→B→Gの順での画素配列が循環的に繰り返される形態をとる。上記構成は、撮像素子の光電変換の単位領域毎にそれらの開口部に対応して各該当する色のフィルターをコーティングすることにより実現されている。而して、完成された形態において、上記固体撮像素子は、各々自己に該当するフィルター色に対応した光電変換出力を得るようになされた光電変換単位領域である各色の画素が水平方向に周期性を以て現れるように整列してなる複数の水平画素列を成す如く配列され且つ垂直方向に隣接して対をなす関係にある水平画素列相互間では、同一のフィルター色に対応する画素の水平方向位置が、1画素の水平方向の幅を単位ピッチとして2分の1ピッチずれた関係となるように配列されることにより、上記対をなす関係にある水平画素列中の3色の画素が相互に近接して位置して概略デルタ状の位置関係を成す。

【0011】図1の固体撮像素子は、X-Yアドレス型の撮像素子であり、各画素からの光電変換出力を当該画素を特定して読み出すため各水平画素列毎に対応するようにしてスイッチング素子群9a, 9b, 9cが設けられ、これらスイッチング素子群9a, 9b, 9cが水平シフトレジスタ13及び垂直シフトレジスタ14により選択的に駆動されて順次画素毎に読み出しがなされる。この読み出しによる撮像素子出力は奇数番目の各画素列及び偶数番目の各画素列に対応して、出力ライン11及び12から出力される。

【0012】次に、図2及び図3を用いて上記撮像素子からの信号を読み出すタイミング及び読み出すための構成について説明する。図2(a)は同撮像素子の画素配列と、後に詳述する仮想画素の分布を示す図であり、図2(b)は同撮像素子から図2(a)中の上記各仮想画素を表わす信号(デジタルデータの形式で出力される)を導出するタイミングを示す図、図3(a)は図2(b)のタイミングで画素データを導出するための構成である格子状配列画素データ生成手段についてその一例を示す図、図3(b)は、図3(a)と同趣旨の手段をアナログ回路を主体にして具現化した例を示す図である。

【0013】図2(a)では、説明の便宜上、順次の水平画素列(行)はL1, L2, L3, L4, L5, L6の限りで略式に表現してあるが、現実の素子ではこれより遙に多数の画素列が存在する。当然ながら、水平方向の各色の画素数についても図示の限りで略式に表現してある。図2(a)中で黒点で示されたものは、同固体撮像素子の画素配列を格子状配列と仮定したものに相応する仮想画像空間の各仮想画素位置(当該仮想画素の中心位置)を表わす指標である。本実施例では、これら各仮想画素に相応する各画素データを、垂直方向に隣接して対をなす関係にある水平画素列(例えば、L1とL2; L3とL4; L5とL6)中の各該当する上記概略デルタ状の位置関係にある3色の実画素Rn, Bn, Gnからの画素信号

に基づいて生成する図3の格子状配列画素データ生成手段を備える。図2(a)に表されたこれら各仮想画素に相応する各画素データ算出の基礎となる上記概略デルタ状の位置関係にある3色の実画素Rn, Bn, Gnにより占められる仮想領域に注目すれば、この例では、各仮想領域は相互に隣接した関係にあるものどうして互いに重畳することがない。図3(a)の格子状配列画素データ生成手段の構成、及び、図2(a)中で黒点で示された各仮想画素に相応する各画素データを図2(b)のタイミングで読み出す動作について、図3(a)及び図2

(b)に基づいて説明する。撮像素子110の対をなす関係にある水平画素列(例えば、L1, L2)からの実画素出力は夫々ブリアンプ101a, 101bにより増幅された後、各対応して設けられたプロセスアンプ102a, 102bによって処理されて各色の画素に対応した正規の画像信号が形成され、これらプロセスアンプ102a, 102bの出力が夫々A/D変換器103a, 103bでデジタル画素データに変換される。各A/D変換器103a, 103bの画素データは、図2(b)の上段2行のデータ導出タイミングに示される通り、水平走査に沿った順次の画素データの発現タイミングが双方のライン(L1, L2)間で同期した関係で出力される。而して、一方のA/D変換器103aの出力については別段の遅延がかけられることなくセレクト105の一方の入力に供給される。また、他方のA/D変換器103bの出力については、各実画素読み出しの周波数と同じ周波数fのラッチパルス(図2(b)の、上から3行目にその発現のタイミングが示される)によりラッチ回路104でラッチされることにより遅延がかけられ図2(b)中“ラッチ後L2”と表記された行に表されたような形でセレクト105の他方の入力に各供給される。セレクト105では周波数2fの切換パルス(図2(b)の、上から5行目にその発現のタイミングが示される)に基づいて双方の入力を交互に出力させるように切り換えることにより周波数2f(即ち、各実画素読み出し周波数の2倍の周波数)での点順次画素データ出力を得る(図2(b)の、最下行にその発現のタイミングが示される)。この点順次画素データが図2(a)中で黒点で示された各仮想画素に相応する各画素データである。図3(a)の格子状配列画素データ生成手段では、更に、上述の様な点順次の画素データに対して、各画素データ出力期間の夫々の中間時点で到来する周波数2fのラッチパルスにより上記点順次の画素データをラッチすることにより最終的な点順次の画素データ出力を得るように構成されている。これは、セレクト105での信号切換の過渡現象によりレベルの乱れが生じる虞れのある期間を避けて安定した画素データ出力を得るためである。

【0014】図3(b)は、図3(a)と同趣旨の格子状配列画素データ生成手段をアナログ回路を主体にして

13

具現化した例を示す図である。同図の回路は、撮像素子 110 の対をなす関係にある水平画素列からの実画素出力（例えば、同期して出力される  $L1$ ,  $L2$ ）について、 $L1$  についてはそのまま、 $L2$  については遅延回路 111 によって  $1/2$  画素相応期間遅延させて夫々アナログスイッチ 112（切換スイッチ）の入力に供給するようになされ、このアナログスイッチ 112 では双方の入力を周波数  $2f$ （即ち、各実画素読み出し周波数の 2 倍の周波数）で切り換えて選択的に出力せしめる。このアナログスイッチ 112 の出力信号は既に周波数  $2f$  の点順次の画素信号になっているが、更にこの点順次の画素信号は、プリアンプ 113 及び更にその後段のプロセッサンプ 114 により正規のレベルのアナログ点順次画素信号に変換された後、A/D 変換器 115 でデジタル画素データに変換される。

【0015】図 4、図 5、図 6 及び図 7 は、本願発明の他の実施例を説明するための図であり、図 4 は既述の図 2 (a) と同様の表記法により、発明に適用される撮像素子における所謂  $\Delta$  配列の実画素と格子状配列の仮想画素の位置関係を示す模式図、図 5 及び図 6 は図 4 中黒点で示された仮想画素のデータを得る過程での動作のタイミングを示す図、図 7 は装置の構成を示すブロック図である。

【0016】図 4 を参照して良く理解される通り、本例では、固体撮像素子の画素配列を格子状配列と仮定したものに相応する仮想画像空間の各仮想画素についてそれらの各中心位置が、上記固体撮像素子の各水平画素列のうちの偶数番目 ( $L2$ ,  $L4$ ,  $L6$ ) または奇数番目 ( $L1$ ,  $L3$ ,  $L5$ ) のいずれか一方に該当する各水平画素列に属する各実画素の四隅に相当する位置にあるものと仮定して各仮想画素を設定したものである。本例では、以下に詳述する通り、これら各仮想画素の出力に相応する各画素データ（各仮想水平画素列  $L_a$ ,  $L_b$ ,  $L_c$ ,  $L_d$ , … の仮想画素の出力に相応する各画素データ）を、対をなす関係にある水平画素列（例えば、 $L1$  と  $L2$ ;  $L3$  と  $L4$ ;  $L5$  と  $L6$ ）中の各該当する実画素からの画素信号に直接または間接に依拠して生成することにより、上記実画素総数に相応する数の仮想画素を表すデータを得るようになされた格子状配列画素データ生成手段を備える。

【0017】図 4 の通り、仮想水平画素列  $L_a$  の各画素データは対をなす関係にある水平画素列である  $L1$  と  $L2$  に属する各該当する実画素から算出され、例えば、仮想水平画素列  $L_a$  の一番左側に位置する仮想画素については概略デルタ状の位置関係にある 3 色の実画素  $R1$ ,  $B1$ ,  $G1$  により占められる仮想領域のこれら  $R1$ ,  $B1$ ,  $G1$  の実画素データに基づき算出され、同じ仮想水平画素列  $L_a$  の左側ら 2 番目に位置する仮想画素については概略デルタ状の位置関係にある 3 色の実画素  $B1$ ,  $R2$ ,  $G2$  により占められる仮想領域のこれら  $B1$ ,  $R2$ ,  $G2$  の実画素データに基づき算出され、同様に、仮想水平画素列  $L_a$

14

の左側ら 3 番目に位置する仮想画素については概略デルタ状の位置関係にある 3 色の実画素  $G2$ ,  $R3$ ,  $B2$  により占められる仮想領域のこれら  $G2$ ,  $R3$ ,  $B2$  の実画素データに基づき算出され、以下、同様にして仮想水平画素列  $L_a$  の各仮想画素データが夫々算出される。また、仮想水平画素列  $L_b$  の左から 2 番目に位置する仮想画素については概略デルタ状の位置関係にある 3 色の実画素  $G1$ ,  $Ra$ ,  $Ba$  により占められる仮想領域のこれら  $G1$ ,  $Ra$ ,  $Ba$  の実画素データに基づき算出され、同じ仮想水平画素列  $L_b$  の左側ら 3 番目に位置する仮想画素については概略デルタ状の位置関係にある 3 色の実画素  $R2$ ,  $Ba$ ,  $Gb$  により占められる仮想領域のこれら  $R2$ ,  $Ba$ ,  $Gb$  の実画素データに基づき算出され、同様に、仮想水平画素列  $L_b$  の左側ら 4 番目に位置する仮想画素については概略デルタ状の位置関係にある 3 色の実画素  $B2$ ,  $Gb$ ,  $Rc$  により占められる仮想領域のこれら  $B2$ ,  $Gb$ ,  $Rc$  の実画素データに基づき算出され、以下、同様にして仮想水平画素列  $L_b$  の各仮想画素データが夫々算出される。このような仮想画素データの算出は、図 4 で、仮想水平画素列  $L_b$  よりも下方に設定された順次の各仮想水平画素列  $L_c$ ,  $L_d$ , … についても、夫々同様にしてなされる。図 4 につき上述した各仮想画素データ算出の基礎となる各 3 色の実画素  $R1$ ,  $B1$ ,  $G1$  により占められる仮想領域 ( $R1$ ,  $B1$ ,  $G1$ ;  $B1$ ,  $R2$ ,  $G2$ ;  $G2$ ,  $R3$ ,  $B2$ ; …; …) に注目して仮想画素データの算出手段を表現すれば、当該固体撮像素子の対をなす関係にある水平画素列（例えば、 $L1$  と  $L2$ ;  $L3$  と  $L4$ ;  $L5$  と  $L6$ ）中の相互に隣接した位置関係にある各該当する 3 色の実画素 ( $R1$ ,  $B1$ ,  $G1$ ;  $B1$ ,  $R2$ ,  $G2$ ;  $G2$ ,  $R3$ ,  $B2$ ; …; …) で占められる各仮想領域を、当該一の仮想領域を構成する 3 つの実画素（例えば、 $R1$ ,  $B1$ ,  $G1$ ）のうちの一侧方の実画素 ( $B1$ ) と該一の仮想領域の隣接領域を構成する 3 つの実画素 ( $B1$ ,  $R2$ ,  $G2$ ) のうちの他側方の実画素 ( $B1$ ) とが同一画素 ( $B1$ ) となる関係で重畳するように想定したときの、これら各仮想領域の略々中心に位置する仮想画素に相応するものとして、これら各該当する 3 色の実画素からの画素信号に基づいて格子状配列の上記各仮想画素データを生成するものであるとすることができ。

【0018】図 5 は、仮想水平画素列  $L_a$  の各仮想画素データを対をなす関係にある水平画素列である  $L1$  と  $L2$  に属する各該当する実画素から生成する処理におけるタイミング図であり、図 7 は、この処理を行うための構成を示すブロック図である。

【0019】図 7 の通り、固体撮像素子 201 から導出される隣接水平 2 ライン ( $L1$ ,  $L2$ ) の実画素出力は各対応して設けられたプリアンプ 202 a, 202 b により増幅された後、各対応して設けられたプロセッサンプ 203 a, 203 b によって処理されて各色の画素に対応した正規の画像信号が形成され、これらプロセッサンプ



15

ブ203a, 203bの出力が夫々A/D変換器204a, 204bでデジタル画素データに変換される。各A/D変換器204a, 204bの画素データは、図5の上段2行のデータ生成タイミングに示される通り、水平走査に沿った順次の画素データの発現タイミングが双方のライン(L1, L2)間で同期した関係で出力される。而して、一方のA/D変換器204aの出力については2つの系統に分離され、一方の系統については別段の遅延がかけられることなくセレクト207の第1の入力に供給され、他方の系統についてはカスケード接続された2段のラッチ回路205a, 206aで、各実画素読み出しの周波数と同じ周波数fのラッチパルスP1, P2(図5の、上から3行目及び5行目にその発現のタイミングが示される通り、ラッチパルスP1, P2は相互に1/2画素相応分だけ位相がずれた関係にある)により夫々1/2画素相当の遅延がかけられ図5中“2回ラッチによるL1遅延”と表記された行に表されたような形でセレクト207の第2の入力に各供給される。また、他方、A/D変換器204bの出力についてはカスケード接続された2段のラッチ回路205b, 206bで、上述のラッチパルスP1, P2により夫々1/2画素相当の遅延がかけられ図5中“2回ラッチによるL2遅延”と表記された行に表されたような形でセレクト207の第3の入力に供給される。セレクト207では上述のラッチパルスP2を切換パルスとして受け該切換パルスP2に基づいて上記第1, 第2, 第3の入力を順次切り換えて出力させるようにして結果的に、出力側のBの系統には常にBの画素データが、Rの系統には常にRの画素データが、Gの系統には常にGの画素データがB, R, G各系統同時化されて出力されるようになる(図5の下方3行)。B, R, G各系統の出力データは、各対応して設けられたメモリ209, 210, 211に順次格納される。図7中、破線図示のブロック212がこの実施例における格子状画素データ生成手段の中核的な機能ブロックを成している。図4の仮想水平画素列Laの各仮想画素データを対をなす関係にある水平画素列であるL1とL2に属する各該当する実画素から生成する処理は上述のようにしてなされるが、仮想水平画素列Lbの各仮想画素データを対をなす関係にある水平画素列であるL2とL3に属する各該当する実画素から生成する処理も総じて略同様であるが、部分的に若干異なる。即ち、対をなす関係にある水平画素列であるL2とL3に属する各該当する実画素データが、水平走査に沿った順次の画素データの発現タイミングについて双方のライン(L2, L3)間で同期した関係で出力されるところ、このラインL2とL3の対に関する場合は、L1とL2の対について上述したものとは異なり、一方のラインL2についてのみ1H遅延回路208により1水平走査期間(1H)相応の遅延を与えた上、図7の通り、上述した機能ブロック212に供給される。機能ブロック212で

16

は、図6に示された通り、この1H相応分遅延したラインL2を更に1画素相応分(1クロック)遅延させてなる画素データ(セレクトに対する第1の入力)、ラインL3の画素データ(セレクトに対する第2の入力)、及びこのラインL3を更に1画素相応分(1クロック)遅延させてなる画素データの3系統の画素データ(セレクトに対する第3の入力)を生成し、これら3系統の画素データを、L1とL2の対について上述したと同様セレクトで切換え、結果的に、出力側のBの系統には常にBの画素データが、Rの系統には常にRの画素データが、Gの系統には常にGの画素データが出力され、B, R, G各系統同時化されて出力されるようになる(図6の下方3行)。

【0020】図8, 図9, 図10及び図11は、本願発明の更に他の実施例を説明するための図であり、図8は既述の図2(a)と同様の表記法により、発明に適用される撮像素子における所謂Δ配列の実画素と黒点で示された格子状配列の仮想画素、並びに、これら黒点で示された第1の各仮想画素のデータに基づき生成する第2の各仮想画素のデータに対応する画素位置(x)の位置関係を示す模式図、図9及び図10は図8中「x」で示された仮想画素のデータを得る過程での動作のタイミングを示す図、図11は装置の構成を示すブロック図である。

【0021】図8を既述の図2(a)と比較して理解される通り、図8中黒点で示された第1の各仮想画素は図2(a)におけるのものと同一である。従って、図8中のこれら黒点で示された第1の各仮想画素のデータは図2(b)の最下行にその発現のタイミングが示された点順次画素データである。図11に装置の構成が示された本実施例では、これら黒点で示された第1の各仮想画素のデータに基づいて、これらのデータに図9及び図10にそのタイミングが示されるような画像データ処理を施すことにより、図8中「x」で示された仮想画素のデータを第2の各仮想画素のデータとして得る。以下にこの画像データ処理につき説明する。図9の第1行に示されたものは図2(b)の最下行にその発現のタイミングが示された点順次画素データであって、図8中で実画素の水平画素列(行)L1とL2の間に位置する第1の各仮想画素でなる仮想画素列(行)Laに属するものである。この第1行に示された点順次画素データ(第1の仮想画素データ)に対し、これを1クロック(夫々の色データ出力の毎回の継続時間)遅延せしめた点順次画素データ(図9の第2行)、及び、2クロック遅延せしめた点順次画素データ(図9の第3行)を夫々得る。次に、上記した図9の第1行, 第2行, 及び, 第3行の各点順次画素データを図9の第4行に示されたような2クロック周期のサンプリングパルスによりサンプリングして図9の第5行, 第6行, 及び, 第7行に示されたような2クロック周期の各点順次画素データを得る。更に、これら第

17

5行、第6行、及び、第7行に示された2クロック周期の各点順次画素データをセクタ手段により順次切り換えて出力することにより、図9の第8行、第9行、及び、第10行に示されたように、Rの系統には常にRの画素データが、Gの系統には常にGの画素データが、Bの系統には常にBの画素データが、出力され、B、R、G各系統同時化されて2クロック周期の同時化出力を得ることとなる。図9の第8行、第9行、及び、第10行に示されたものが上記の第2の各仮想画素のデータであって、例えば、この同時化出力のR1、G1、B1によって第2の仮想画素P1が、R2、G2、B1によって第2の仮想画素P2が、R3、G2、B2によって第2の仮想画素P3が、R3、G2、B3によって第2の仮想画素P4が、R4、G4、B3によって仮想画素P5が、各表わされることになる。これら第2の仮想画素P1～P5が、図8中で実画素の水平画素列(行)L1とL2の間に位置する一の水平画素列(行)Laに属する各第2の仮想画素である。

【0022】一方、図8中で実画素の水平画素列(行)L3とL4の間に位置する他の一の水平画素列(行)Lbに属する各第2の仮想画素Pa、Pb、Pc、Pd、…のデータを生成するための画像データ処理が図10に示されたタイミングで行われる。

【0023】図10の通り、同図の第1行に表わされたように、上記仮想画素列(行)Laに属する点順次画素データ(第1の仮想画素データ)を1水平走査期間(1H)遅延せしめた画素データと、第2行に表わされたように、この第1行に示された点順次画素データを1クロック遅延せしめた点順次画素データを得る。図10の第3行に示されたものは、図8中で実画素の水平画素列(行)L3とL4の間に位置する仮想画素列(行)Lbに属する第1の各仮想画素の点順次画素データである。この仮想画素列(行)Lbに属する第1の各仮想画素の点順次画素データに対し、これを1クロック(夫々の色データ出力の毎回の継続時間)遅延せしめた点順次画素データ(図10の第4行)を更に1クロック、従って元の仮想画素の点順次画素データを結果的に2クロック遅延せしめた点順次画素データ(図10の第5行)を得る。次に、上記した図10の第2行、第3行、及び、第5行の各点順次画素データを図10の第6行に示されたような2クロック周期のサンプリングパルスによりサンプリングして図10の第2行、第3行、及び、第5行の各点順次画素データのうち黒点を附したデータを時系列的に抽出して図10の第7行、第8行、及び、第9行に示されたような2クロック周期の各点順次画素データを得る。更に、これら第7行、第8行、及び、第9行に示された2クロック周期の各点順次画素データをセクタ手段により順次切り換えて出力することにより、図10の第10行、第11行、及び、第12行に示されたように、Rの系統には常にRの画素データが、Gの系統には

18

常にGの画素データが、Bの系統には常にBの画素データが、出力され、B、R、G各系統同時化されて2クロック周期の同時化出力を得ることとなる。図10の第10行、第11行、及び、第12行に示されたものが上記の第2の各仮想画素のデータであって、例えば、この同時化出力のRa、G1、Baによって第2の仮想画素Paが、R2、Gb、Baによって第2の仮想画素Pbが、Rc、Gb、B2によって第2の仮想画素Pcが、Rc、G3、Bcによって第2の仮想画素Pdが、各表わされることになる。これら第2の仮想画素Pa～Pd、…が、図8中で実画素の水平画素列(行)L2とL3の間に位置する一の水平画素列(行)Lbに属する各第2の仮想画素である。

【0024】上述したところより了解される通り、隣接した位置関係にある第2の水平画素列(行)P1～P5及びPa～Pdの各仮想画素データは、図9又は図10について説明したような画像データ処理により生成され、従って、1画面内の各第2の仮想画素データは全てこれら隣接する第2の水平画素列(行)同様に図9又は図10の画像データ処理により生成され得る。

【0025】図11は図9及び図10の画像データ処理を行う機能部を有し結果的に図8中「X」で示された仮想画素のデータを第2の各仮想画素のデータとして得るためのシステムの構成図である。図11において、撮像のためのレンズ系301を透過した入射光は絞り302により光量が調節されて固体撮像素子303の光電変換面上に像を結ぶように構成されている。固体撮像素子303は、図1につき上述したような、各々自己に該当するフィルター色に対応した光電変換出力を得るようになされた光電変換単位領域である各色の画素が水平方向に周期性を以て現れるように整列してなる複数の水平画素列を成す如く配列され且つ垂直方向に隣接して対をなす関係にある水平画素列相互間では、同一のフィルター色に対応する画素の水平方向位置が、1画素の水平方向の幅を単位ピッチとして2分の1ピッチずれた関係となるように配列されることにより、上記対をなす関係にある水平画素列中の3色の画素が相互に近接して位置して概略デルタ状の位置関係を成すものであり、この撮像素子の出力が第1の画像データ処理ブロック304に供給される。この第1の画像データ処理ブロック304は図2(b)の最下行に示されたような点順次の仮想画素データをアナログ態様で生成するものであり、固体撮像素子303の上記概略デルタ状の位置関係にある各該当する3色の実画素で占められる仮想領域を各仮想領域が互いに重畳する部分を持たないようにそれら相互の位置関係を想定したときの、それら各仮想領域の略々中心に位置する仮想画素に相応するものとして、上記各該当する3色の実画素からの画素信号に基づいて格子状配列の各仮想画素データたる第1の仮想画素データを生成する第1の格子状配列画素データ生成手段をなす。この第1の画

像データ処理ブロック304の出力は増幅処理部305を通して規定の形態に変換された後A/D変換回路306により図2(b)の最下行に示されたような、従って図9の第1行に示されたような、ディジタル態様の点順次の仮想画素データに変換される。本実施例では、このA/D変換回路306の出力に対して、ハイライトバランス回路307a、シャドーバランス回路307b、ルックアップテーブル(LUT)処理回路307cが上述の順にカスケード接続されてなる階調変換部307に供給されて所要の階調変換処理が施されるように構成されている。一方、上述のレンズ系301に対してフォーカシング調整を行うためのフォーカス制御ブロック、及び、絞り302の開度調整を行うための絞り制御ブロック309が設けられている。これら、フォーカス制御ブロック、絞り制御ブロック309、並びに、階調変換部307のハイライトバランス回路307a、シャドーバランス回路307b、ルックアップテーブル(LUT)処理回路307cはマイクロコンピュータ310により統括的に制御されるように構成されている。階調変換部307の、ハイライトバランス回路307aでは被写体のハイライト部分(最も明るい部分)のR、G、Bのレベル調整(白色に対するR、G、Bのレベルを均一にする)が行われ、シャドーバランス回路307bでは被写体のシャドー部分(最も暗い部分)のR、G、Bのレベル調整が行われる。尚、ハイライトバランス及びシャドーバランスの調整は、撮像した画像の階調データを濃度ポイントのいずれの位置に対応付けるかという調整を行う態様のものとする 것도できる。ルックアップテーブル(LUT)処理回路307cでは、撮像した画像の階調データに対して2次元的な濃度カーブの変換処理が行われるが、この変換としては、所要に応じて線型または非線形の変換が適用される。ルックアップテーブル(LUT)処理回路307cの出力データは正方向画素変換回路311に供給されて入力画素データに対するサンプリング処理(画素の間引き処理)が施される。この正方向画素変換回路311による処理が施されたデータ又はこの処理が施されないルックアップテーブル(LUT)処理回路307cの出力データそのものを選択的に取り出すためのスイッチ手段312が設けられ、このスイッチ手段312もマイクロコンピュータ310の制御下で切り換え選択動作を行うようになされている。スイッチ手段312の出力側には光磁気記録媒体等を適用する記録装置313及び転送信号変換回路314が並列に接続されている。スイッチ手段312が一方の側に切り換え選択されているときには、これら記録装置313及び転送信号変換回路314にルックアップテーブル(LUT)処理回路307cの出力データそのものが供給され、他方の側に切り換え選択されているときには、正方向画素変換回路311による処理が施されたデータが供給される。記録装置313及び転送信号変換回路314からの出力デ

ータがパーソナルコンピュータ315に供給される。

【0026】本実施例ではこのパーソナルコンピュータ315が図9及び図10の画像データ処理を行うように構成され、従ってこのこのパーソナルコンピュータ315は、上記固体撮像素子の画素配列を格子状配列と仮定したものに相応する仮想画像空間の各仮想画素の中心位置を該固体撮像素子の各水平画素列のうちの偶数番目または奇数番目のいずれか一方に該当する各水平画素列に属する各実画素の四隅に相当する位置に仮定することにより、上記第1の仮想画素データよりも大容量のデータとなるこれら仮想画素の出力に相応する各画素データたる第2の仮想画素データを、上記第1の格子状配列画素データ生成手段により生成された第1の仮想画素データに依拠して生成するようになされた第2の格子状配列画素データ生成手段をなす。

【0027】パーソナルコンピュータ315は図9及び図10の画像データ処理を行って得た図8中「X」で示された各仮想画素のデータ(第2各仮想画素データ)を生成し、更にこれら生成されたデータに基づいて、イエロー、シアン、マゼンタ、並びに黒のデータを生成して自己に接続されたプリンタ316に供給する。プリンタ316ではこの供給されたデータに基づいて印刷動作を実行する。尚、パーソナルコンピュータ315はマイクロコンピュータ310に対してホストコンピュータ乃至スーパーバイザーとして機能し得るようになされ、走査者がパーソナルコンピュータ315に対して為した操作に基づいてパーソナルコンピュータ315がマイクロコンピュータ310に対し、撮影や信号処理の実行について指令を行うことができるように両者が結ばれている。また、以上の構成において、上述の正方向画素変換回路311による入力画素データのサンプリング処理(画素の間引き処理)は、図12に示されるように、図2(a)に黒点で示されるような格子状正方向配列の各仮想画素を実画素の水平及び垂直方向の各幅を夫々単位寸法として、水平及び垂直各方向に夫々6n(nは自然数)の距離だけ離隔した各点をサンプリングする(図中、大きな黒点として表示されている点がサンプリングされる点である)、即ち、大きな黒点 $\alpha$ 、 $\beta$ 、 $\gamma$ 、 $\delta$ 、…の仮想画素を残し他の小さな黒点の画素を切り捨てるような間引き処理である。尚、このサンプリング(間引き処理)の間隔を、上述したように実画素の水平及び垂直方向の各幅を基準にして表現するに替えて、図2(a)に黒点で示されるような格子状正方向配列の各仮想画素位置を基準にして表現すると、一つのサンプリング点の仮想画素(例えば大きな黒点 $\alpha$ の画素)から見て、水平方向には4画素目毎に、垂直方向には3画素目毎に夫々仮想画素をサンプリングするものであるということが出来る。正方向画素変換回路311により上述の処理が行われた結果としての出力は、この処理が施される依然のものに比し画素数の少ない、粗な画素データとなる。従って、スイッチ

手段 312 によりこの粗な画素データを導出すれば、パーソナルコンピュータ 315 に転送するデータ量は少なくなり、従って極めて短時間で比較的粗な画像データがパーソナルコンピュータ 315 に転送され、一応の画像確認を行うに適した程度の表示密度（画質）をもって同パーソナルコンピュータ 315 による画像表示を行うことが可能となる。記録装置 313 の記録媒体に画像データを格納する場合も、この比較的粗な画像データについてこれを行うようにすれば、短時間で記録を完了することができる。上記比較的粗な画像データにより一応の画像確認を行うに適した程度の画像データを得る手段が画像表示用データ生成手段をなし、この手段により画像を確認するための手段がプレビュー手段をなしている。これらの手段を備えた装置は、上記画像表示用データ生成手段による比較的低解像度の画像により記録対象画像の状態を確認可能になされたプレビュー手段と、該プレビュー手段により確認された当該画像を表わす上記格子状配列画素データ生成手段の出力データを記録する記録手段とを備えた画像信号処理装置として構成することができる。

【0028】図 11 のシステムの特徴は、第 1 の画像データ処理ブロック（第 1 の格子状配列画素データ生成手段）304 により比較的少数の画素データを生成し、この比較的少数の画素データについて、階調変換部 307 による階調変換処理又はパーソナルコンピュータ 315 へのデータ転送処理若しくは記録装置 313 に適用された記録媒体への画像データの書き込み処理等を行うため、極めて短時間でこれらの処理を行うことができる。而して、これらの処理が施された仮想画素データ（第 1 の仮想画素データ）に基づいてこれよりも大容量の仮想画素データ（第 2 の仮想画素データ：図 8 中「×」で示された各仮想画素のデータ）を生成するように構成されているため、上記各種処理については比較的小容量のデータに対して高能率でこれを実行し得、次にこの処理による情報が内包された各第 1 の仮想画素データに基づいて大容量の第 2 の仮想画素データを生成することとなり、当初から大容量の第 2 の仮想画素データを対象として上記各種処理を行うに比し、総合的な処理効率の点で格段に優れ、高速処理が実現される。

【0029】尚、図 11 のシステムでは第 1 の画像データ処理ブロック（第 1 の格子状配列画素データ生成手段）304 により生成された比較的少数の仮想画素データに対し、図 9 及び図 10 の画像データ処理を行い、図 8 中「×」で示された各仮想画素のデータ（第 2 各仮想画素データ）を生成するにつき、この生成のための第 2 の格子状配列画素データ生成手段としてパーソナルコンピュータ 315 を適用したが、第 2 の格子状配列画素データ生成手段としてハードウェアを主体とした手段を適用することも可能である。

【0030】図 13 は、上記第 2 の格子状配列画素デー

タ生成手段としての信号処理回路の例を示すブロック図である。図 13 において、入力端子 351 に既述の図 9 の第 1 行に示されたようなタイミングで点順次の画素データ（第 1 の仮想画素データ）が供給される。この供給されたデータが図 8 につき既述の、図 2 (b) の最下行にその発現のタイミングが示されたような点順次画素データであって、図 8 中で実画素の水平画素列（行）L1 と L2 の間に位置する第 1 の各仮想画素でなる仮想画素列（行）LA に属するものである。この LA に属する点順次画素データ（第 1 の仮想画素データ）に対し、これを 1 クロック（夫々の色データ出力の毎回の継続時間）遅延せしめるための遅延回路 352（この出力が、図 9 の第 2 行の点順次画素データである）、及び、2 クロック遅延せしめるための遅延回路 353（この出力が、図 9 の第 3 行の点順次画素データである）が夫々設けられている。上記した入力端子 351 への入力たる点順次画素データ（第 1 の仮想画素データ）、遅延回路 352 の出力、及び、遅延回路 353 の出力に各対応して、サンプリング動作を行うためのサンプリング・ホールド回路 361、362、363 が夫々設けられ、これらサンプリング・ホールド回路は図 9 第 4 行のタイミングのサンプルパルスに同期してサンプリング・ホールドが行われるように構成され、これらのサンプリング・ホールドが行われた結果、図 9 の第 5 行、第 6 行、第 7 行に示されたようなデータが得られる。サンプリング・ホールド回路 361、362、363 の各出力は第 1 のセクタ 364 に供給され、ここで各出力が切り換え選択されて、同時化された仮想画素データ（図 9 の第 8 行、第 9 行、及び、第 10 行に示された第 2 の各仮想画素のデータであって、この同時化出力の R1, G1, B1 によって第 2 の仮想画素 P1 が、R2, G2, B1 によって第 2 の仮想画素 P2 が、R3, G2, B2 によって第 2 の仮想画素 P3 が、R3, G2, B3 によって第 2 の仮想画素 P4 が、R4, G4, B3 によって仮想画素 P5 が、各表わされることになる）が夫々得られる。また一方、端子 351 に供給される点順次画素データ（例えば、既述の仮想画素列 LA に属する点順次画素データ）に対し、これを 1 水平走査期間（1H）遅延させるための遅延回路 371 及びこの遅延回路 371 の出力データに対して更に 1 クロック遅延せしめるための遅延回路 372（この出力が、図 9 の第 2 行の点順次画素データである）が夫々設けられている。この遅延回路 372 の出力、上記した入力端子 351 への入力たる点順次画素データ、及び、既述の遅延回路 353 の出力に各対応して、サンプリング動作を行うためのサンプリング・ホールド回路 381、382、383 が夫々設けられ、これらサンプリング・ホールド回路は図 10 第 6 行のタイミングのサンプルパルスに同期してサンプリング・ホールドが行われるように構成され、これらのサンプリング・ホールドが行われた結果、図 10 の第 7 行、第 8 行、第 9 行に示されたようなデー

タが得られる。サンプリング・ホールド回路381、382、383の各出力は第2のセクタ384に供給され、ここで各出力が切り換え選択されて、同時化された仮想画素データ（図9の第10行、第11行、第12行）が得られる。

【0031】図14、図15、図16、図17及び図18は、本願発明の他の実施例を説明するための図であり、図14は既述の図2（a）及び図4と同様の表記法により、発明に適用される撮像素子における所謂Δ配列の実画素と格子状配列の仮想画素の位置関係を示す模式図、図15、図16及び図17は、図14中の黒点で示された仮想画素のデータに基づいて同図14中の×点で示された各仮想画素のデータを得る過程での動作のタイミングを示す図、図18は図14中の×点で示された各仮想画素のデータを得るための装置の構成を示すブロック図である。

【0032】図14を参照して良く理解される通り、本例では、固体撮像素子の画素配列を格子状配列と仮定したものに相応する仮想画像空間の各仮想画素についてそれらの各中心位置の並び方が、水平方向については、図2（a）について上述した各黒点の仮想画素と同じ位置、及び、これら各黒点（・）間に等間隔で夫々2点（×で表記）存在する関係で各水平方向の列（行）が形成され、一方、垂直方向には上記の形態の各水平方向の列（行）が実画素の垂直方向寸法の1/2の間隔で平行に整列した形態をなしている。上記各黒点の仮想画素（・）及びそれらの間の仮想画素（×）は、表現を変えて言えば、各実画素の四隅（四辺形の実画素領域の角部）に自己の各中心が位置するようにしてこれら各仮想画素が想定されているということになる。

【0033】上述の通り、図14中の黒点で示された各仮想画素（・）は図2（a）におけるのものと同一である。従って、図14中のこれら黒点で示された各仮想画素のデータは図2（b）の最下行にその発現のタイミングが示された点順次画素データである。この図14においても、図8につき既述の通り、図中上から第1番目及び第2番目の実画素の水平画素列（行）間に位置する各仮想画素でなる仮想画素列（行）をLAとする。また、仮想画素列（行）LBについても、図8につき既述のものと同様に想定する。而して、特に、この図14中の水平仮想画素列（行）については、上記仮想画素列（行）をLA及びLB間にこれらLA及びLBを含んで、これらに平行な順次の仮想画素列（行）を図中上からLI、Lロ、Lハ、Lニ、Lホと設定し、LBよりも下方の順次の仮想画素列（行）についても同様に、Lヘ、Lト、Lチ、Lリ、……と設定する。図示の通り、上記LIはLA上に設定され、LホはLB上に設定されている。

【0034】図15には、上記図14中の仮想画素列（行）LI上の各仮想画素P1、P2、P3、P4、P5、P6を表わすデータの生成処理のタイミングが示されている。

図15の第1行に示されたものは図2（b）の最下行にその発現のタイミングが示された点順次画素データであって、図14中の仮想画素列（行）LI上における黒点で示された各仮想画素（・）を表わすデータである。図示の通り、これら黒点で示された各仮想画素のうちの一部のものは（×）で示された仮想画素と同一のものとなる関係にある。図15の第2行及び第3行に示されたように、本例では、この第1行に示された点順次画素データに対し、これを1クロック（夫々の色データ出力の毎回の継続時間）遅延せしめた点順次画素データ、及び、2クロック遅延せしめた点順次画素データを夫々得る。次に、上記した図14の第1行、第2行、及び、第3行の各点順次画素データをセクタ手段により順次切り換えて出力することにより、図15の下段3行に示されたように図14中の水平仮想画素列（行）LI上の各仮想画素P1、P2、P3、P4、P5、…を表わすデータを得る。上記水平仮想画素列（行）LB上に設定された水平仮想画素列（行）Lホについても、上述の仮想画素列（行）LIと相似的関係にあり、上記同様にしてLホ上に整列した各仮想画素を表わすデータを得る。

【0035】図16には、上記図14中の仮想画素列（行）LA及びLB間、従って、上記LI及びLホ間に位置する水平仮想画素列（行）Lハ上の各仮想画素（×、×、…）を表わすデータの生成処理のタイミングが示されている。

【0036】図16の通り、同図の第1行に表わされたように、上記仮想画素列（行）LAに属する点順次画素データを1水平走査期間（1H）遅延せしめた画素データと、第2行に表わされたように、この第1行に示された点順次画素データを1クロック遅延せしめた点順次画素データ、及びこの1クロック遅延せしめた点順次画素データを更に1クロック遅延せしめた（即ち、第1行に示された点順次画素データを2クロック遅延せしめた）点順次画素データを夫々得る（図16：第1行～第3行）。また、上記仮想画素列（行）LBに属する点順次画素データについてもLAについて上述したと同様、1クロック遅延せしめた点順次画素データ、及び2クロック遅延せしめた点順次画素データを夫々得る（図16：第4行～第6行）。次に、上記のようにして得た各点順次画素データ（図16：第1行～第6行）のうち第2行、第4行、及び、第6行の各点順次画素データを図16の第7行に示されたような2クロック周期のサンプリングパルス（これによるサンプリングの対応関係確認の便宜上、対応するデータ列及びサンプリング区間に「○」を附して示してある）によりサンプリングして図16の第9行、第10行、及び、第11行の各点順次画素データを得る。同様に、上記のようにして得た各点順次画素データ（図16：第1行～第6行）のうち第1行、第3行、及び、第5行の各点順次画素データを図16の第8行に示されたような上記サンプリングパルス

(○) とは 1/2 周期位相のずれた関係のある 2 クロック周期のサンプリングパルス（これによるサンプリングの対応関係確認の便宜上、対応するデータ列及びサンプリング区間に「△」を附して示してある）によりサンプリングして図 16 の第 12 行、第 13 行、及び、第 14 行の各点順次画素データを得る。更に、これら第 9 行～第 14 行に示された 2 クロック周期の各点順次画素データのうち、各 2 連のデータ列（第 9 行と第 12 行、即ち ○ データ列の 1 行目と △ データ列の 1 行目；第 10 行と第 13 行、即ち ○ データ列の 2 行目と △ データ列の 2 行目；第 11 行と第 14 行、即ち ○ データ列の 3 行目と △ データ列の 3 行目）をセクタ手段により順次切り換えて出力することにより、図 16 の第 15 行、第 16 行、及び、第 17 行に示されたような、3 系統の点順次画素データを得る。この 3 系統の点順次画素データについて図 10 について既述のものと同様セクタ手段により順次切り換えて出力することにより、図 16 の第 18 行、第 19 行、及び、第 20 行に示されたような、R の系統には常に R の画素データが、G の系統には常に G の画素データが、B の系統には常に B の画素データが、出力され、B、R、G 各系統同時化された、上記水平仮想画素列（行）L 上上の各仮想画素（x, x, …）を表わすデータを得ることとなる。

【0037】次に、上記水平仮想画素列（行）L 上と L 上との間の水平仮想画素列（行）L 上上の各仮想画素

（x, x, …）を表わすデータは、既述のようにして得られる水平仮想画素列（行）L 上上の各仮想画素を表わすデータと水平仮想画素列（行）L 上上の各仮想画素を表わすデータとに基づき内挿補間処理（L 上は L 上及び L 上からの距離が等しい丁度中間の位置にあるため、結果的に平均化処理になる）を行って、図 17 に表されたように B、R、G 各系統同時化されたデータを得る。図 14 に示されたように、水平仮想画素列（行）L 上及び L 上並びにそれら間の水平仮想画素列（行）L 上の位置関係と、水平仮想画素列（行）L 上及び L 上並びにそれら間の水平仮想画素列（行）L 上の位置関係との相似性により、水平仮想画素列（行）L 上上の各仮想画素を表わすデータについても、水平仮想画素列（行）L 上及び L 上に基づき、水平仮想画素列（行）L 上に関して上述したと同様の内挿補間処理（平均化処理）を行って求めることができる。

【0038】以上のようにして、仮想画素列（行）を L 上及び L 上間設定した平行な順次の仮想画素列（行）L 上、L 上、L 上、L 上、L 上の各画素を表わすデータが得られるが、L 上よりも下方の順次の仮想画素列（行）L 上、L 上、L 上、L 上、L 上……を表わすデータについても、L 上、L 上、L 上、L 上、L 上との配列の相似性に注目して、上記同様にして得ることができる。

【0039】図 18 は、図 14 中の黒点で示された仮想画素のデータに基づいて同図 14 中の x 点で示された各

仮想画素のデータを図 15、図 16 及び図 17 につき上述した処理を行って得るためのシステムの構成の一例を示すブロック図である。図 18 において、入力端子 401 に既述の図 15 の第 1 行に示されたようなタイミングで点順次の画素データが供給される。この供給されたデータが図 15 につき既述の、図 2 (b) の最下行にその発現のタイミングが示されたような点順次画素データであって、図 14 中で第 1 行目及び第 2 行目の実画素の水平画素列（行）の間に位置する仮想水平画素列（行）L 上に属するものである。ここでは説明の便宜上、仮想水平画素列（行）L 上に属する点順次画素データが入力端子 401 に供給される時点よりも、1 H（水平走査期間）後の時点で仮想画素列（行）L 上に属する点順次画素データが入力端子 401 に供給されるタイミングにおいて、順次の仮想画素列（行）L 上、L 上、L 上、L 上の各画素を表わすデータを得る様子を示してある。この L 上（L 上）に属する点順次画素データに対し、これを 1 クロック（夫々の色データ出力の毎回の継続時間）遅延せしめるための遅延回路 402（この出力が、図 15 の第 2 行の点順次画素データである）、及び、更に 1 クロック遅延せしめるための遅延回路 403（この出力が、図 15 の第 3 行の点順次画素データである）が夫々設けられている。上記した入力端子 401 への入力たる点順次画素データ、遅延回路 402 の出力、及び、遅延回路 403 の出力の 3 系統の出力に対する時系列的な選択動作を行って、仮想画素列 L 上上の各 x 点を表わすデータを得る（仮想水平画素列（行）L 上に属する点順次画素データが入力端子 401 に供給されるタイミングでは、図 15 の下段 3 行に示されたように図 14 中の仮想水平画素列（行）L 上上の各仮想画素 P1, P2, P3, P4, P5, …を表わすデータを得る）ためのセクタ 404 が設けられている。セクタ 404 の出力は遅延回路 405 及び遅延回路 406 をこの順に介して、該当する一の水平走査期間では仮想画素列（行）L 上に属する画素出力として（該当する他の一の水平走査期間では仮想画素列（行）L 上に属する画素出力として）、出力される。

【0040】一方、上記入力端子 401 への入力たる点順次画素データ、遅延回路 402 の出力、及び、遅延回路 403 の出力の 3 系統の出力各対応して、サンプリング動作を行うためのサンプリング・ホールド回路 411、412、413 が夫々設けられている。これらサンプリング・ホールド回路は本図中○及び△を附したサンプリングパルス（図 16、第 7 行及び第 8 行の○及び△を附したサンプリングパルスと同じもの）に同期してサンプリング・ホールドを行なう。

【0041】上述の入力端子 401 に供給される信号（従って、遅延回路 402 への入力）はまた、分岐されて 1 H（1 水平走査期間）遅延回路 421 にも供給されるようになされている。1 H 遅延回路 421 の出力である点順次画素データに対し、これを 1 クロック（夫々の



色データ出力の毎回の継続時間) 遅延せしめるための遅延回路422 (この出力が、図16の第2行の点順次画素データである)、及び、更に1クロック遅延せしめるための遅延回路423 (この出力が、図16の第3行の点順次画素データである) が夫々設けられている。上記した1H遅延回路421の出力である点順次画素データ、遅延回路422の出力、及び、遅延回路423の3系統の出力に対する時系列的な選択動作を行って、図14の仮想画素列Lロ上の各×点を表わすデータを得る (仮想水平画素列(行) LA に属する点順次画素データが10 入力端子401に供給されるタイミングでは、図15の下端3行に示されたように図14中の仮想水平画素列(行) Lイ上の各仮想画素P1, P2, P3, P4, P5, …を表わすデータを得る) ためのセレクト424が設けられている。セレクト424の出力は後述の遅延回路425に1 入力される。

【0042】一方、上記1H遅延回路421の出力(即ち、遅延回路422への入力)たる点順次画素データ、遅延回路422の出力、及び、遅延回路423の出力の3系統の出力各対応して、サンプリング動作を行うためのサンプリング・ホールド回路431, 432, 433が夫々設けられている。これらサンプリング・ホールド回路は本図中○及び△を附したサンプリングパルス(図16、第7行及び第8行の○及び△を附したサンプリングパルスと同じもの)に同期してサンプリング・ホールドを行なう。

【0043】上述のサンプリング・ホールド回路411と431の両出力を切り換えるセレクト441、サンプリング・ホールド回路412と432の両出力を切り換えるセレクト442、及び、サンプリング・ホールド回路413と433の両出力を切り換えるセレクト443が設けられ、これら3つのセレクト441, 442, 443での切換動作により図16の第9行~第14行に示された画素データから図16の第15行~第17行に示された3系統の点順次画素データを得る。上記3つのセレクト441, 442, 443の出力であるこの3系統の点順次画素データについて図13について既述のものと同様の時系列的な信号選択動作を為すセレクト450が設けられ、このセレクト450の出力として、図16の第18行、第19行、及び、第20行に示されたよう20 な、Rの系統には常にRの画素データが、Gの系統には常にGの画素データが、Bの系統には常にBの画素データが、出力され、B, R, G各系統同時化された、上記水平仮想画素列(行) Lハ上の各仮想画素(x, x, …)に相応するデータを得ることとなる。

【0044】既述の遅延回路405の3系統の出力(B, G, R)と上記セレクト450の3系統の出力(B, G, R)とを加算処理するためにこれら両3系統の出力(B, G, R)に対応して加算器461, 462, 463が設けられ、更にこれら加算器461, 4630

2, 463の出力が入力される除算器464が設けられている。除算器464は、両3系統の入力の和の $1/2$ の除算処理(平均化処理)を行うが、この処理は、既述の遅延回路405の出力として得た仮想水平画素列

(行) Lハ上の各仮想画素に相応するデータと既述のセレクト450の出力として得た水平仮想画素列(行) Lハ上の各仮想画素に相応するデータとに基づき内挿補間処理(Lハ及びLハからの距離が等しい丁度中間の位置にあるLニのデータを得るため、結果的に平均化処理になる)を行って、図17に表された後述する仮想水平画素列(行) Lロ上の各仮想画素に相応するデータ生成のタイミングに概略準じてB, R, G各系統同時化されたデータを得るためのものである。

【0045】同様に、遅延回路425の3系統の出力(B, G, R)と上記セレクト450の3系統の出力(B, G, R)とを加算処理するためにこれら両3系統の出力(B, G, R)に対応して加算器471, 472, 473が設けられ、更にこれら加算器471, 472, 473の出力が入力される除算器474が設けられている。除算器474は、両3系統の入力の和の $1/2$ の除算処理(平均化処理)を行うが、この処理は、既述の遅延回路425の出力として得た仮想水平画素列

(行) Lイ上の各仮想画素に相応するデータと既述のセレクト450の出力として得た水平仮想画素列(行) Lハ上の各仮想画素に相応するデータとに基づき内挿補間処理(Lイ及びLハからの距離が等しい丁度中間の位置にあるLロのデータを得るため、結果的に平均化処理になる)を行って、図17に表されたようなタイミングのB, R, G各系統同時化されたデータを得るためのものである。

【0046】上述のセレクト450の出力側にはその出力に所定の遅延を与えるための遅延回路452が接続されている。以上の構成において、或る1水平走査期間に相応する時間区間(入力端子401にLハが入力されている時間区間)では、減算器474の出力として仮想水平画素列(行) Lロ上の各仮想画素に相応するデータが、遅延回路452の出力として水平仮想画素列(行) Lハ上の各仮想画素に相応するデータが、減算器464の出力として仮想水平画素列(行) Lニ上の各仮想画素に相応するデータが、遅延回路406の出力として水平仮想画素列(行) Lホ上の各仮想画素に相応するデータが、夫々得られることとなる。また、該時間区間に続く1水平走査期間に相応する時間区間(入力端子401にLロが入力されている時間区間)では、この水平仮想画素列(行) Lホ上の各仮想画素に相応するデータに替えてLリ上の各仮想画素に相応するデータが得られる。同様にして、水平仮想画素列(行) Lニに替えてLト、Lロに替えてLヘ上の各仮想画素に相応するデータが得られる。

【0047】尚、上述の遅延回路405, 406, 42

5, 452は、各該当する信号選択処理、加算処理、減算処理に相応する時間だけ信号（データ）の伝達を遅延させて、各該当する処理に関して所要のタイミング合せを行うためのものである。

【0048】次に、図19に基づき説明する実施例は、既述の実施例におけると同様の、各々自己に該当するフィルター色に対応した光電変換出力を得るようになされた光電変換単位領域である各色の画素が水平方向に周期性を以て現れるように整列してなる複数の水平画素列を成す如く配列され、且つ、垂直方向に隣接して対をなす関係にある水平画素列相互間では、同一のフィルター色に対応する画素の水平方向位置が、1画素の水平方向の幅を単位ピッチとして2分の1ピッチずれた関係となるように配列されることにより、上記対をなす関係にある水平画素列中の3色の画素が相互に近接して位置して概略デルタ状の位置関係を成すように構成された図1に示された固体撮像素子を適用し、この固体撮像素子の出力に基づいてカラー画像信号を得るようになされた画像信号処理装置であって、同固体撮像素子の画素配列を格子状配列と仮定したものに相応する仮想画像空間の各仮想画素位置における当該一の色の光電変換出力に相応する各画素データを、上下に隣接する3つの水平画素列中の同一色の最近接関係にある3つ乃至4つの実画素からの画素信号に基づいて生成する格子状配列画素データ生成手段を備えたことを特徴とするものである。

【0049】上記の格子状配列画素データ生成手段はマイクロコンピュータの該当機能部を以て構成され得るが、上述のように上下に隣接する3つの水平画素列中の同一色の最近接関係にある3つ乃至4つの実画素からの画素信号に基づいて上記固体撮像素子の画素配列を格子状配列と仮定したものに相応する仮想画像空間の各仮想画素位置における当該一の色の光電変換出力に相応する各画素データを生成するプロセスについて図19を参照しつつ説明する。

【0050】図示のように、固体撮像装置の実画素の各水平画素列（行）を図2同様に、上方から順にL1, L2, L3, L4, L5, L6とする。今ここで水平画素列（行）L2とその上下のL1, L3に注目すると、実画素R2の位置について、ここから見て最近接関係にある3つのG系の実画素としては画素G1, G2及びGbが該当することが判る。この関係に注目して、自己の位置（x）を実画素R2の位置と同じくするG系の仮想画素G(R2)に相応するデータを、これら実画素G1, G2及びGbとの各相関度に応じて算出するための演算が次に示すものである。

【0051】

【数1】

$$G(R2) = \frac{1}{4 + \sqrt{5}} (\sqrt{5}G1 + 2G2 + 2Gb)$$

【0052】上記同様に、自己の位置（x）を実画素B2の位置と同じくするG系の仮想画素G(B2)に相応するデータを、実画素G2, G2及びGbとの各相関度に応じて算出することができる。以下同様にして、水平画素列（行）L2上の各G系の仮想画素に相応するデータを求めることができる。R系の仮想画素及びB系の仮想画素についても同様である。

【0053】次に、水平画素列（行）L3とその上下のL2, L4に注目すると、実画素RcとBcの中間位置（x）について、ここから見て最近接関係にある4つのG系の実画素として画素G3, Gb, Gc及びGbが該当する。この関係に注目して、実画素RcとBcの中間位置（x）のG系の仮想画素G(RcBc)に相応するデータを、これら実画素G3, Gb, Gc及びGbとの各相関度に応じて算出するための演算が次に示すものである。

【0054】

【数2】

$$G(RcBc) = \frac{1}{10} \{3(G3 + Gc) + 2(Gb + Gd)\}$$

【0055】また、水平画素列（行）L3上で、実画素GbとRcの中間位置（x）について、ここから見て最近接関係にある3つのG系の実画素として画素G3, Gb, 及びGcが該当する。この関係に注目して、実画素GbとRcの中間位置（x）のG系の仮想画素G(GbRc)に相応するデータを、これら実画素G3, Gb, 及びGcとの各相関度に応じて算出するための演算が次に示すものである。

【0056】

【数3】

$$G(GbRc) = \frac{1}{2 + 2\sqrt{2}} (2\sqrt{2}Gb + G3 + Gc)$$

【0057】更に、水平画素列（行）L3上で、実画素BcとGdの中間位置（x）のG系の仮想画素G(BcGd)に相応するデータを、同仮想画素と最近接関係にある3つのG系の実画素G3, Gc, 及びGdとの各相関度に応じて同様に算出する。

【0058】上記水平画素列（行）L3上で、各G系の仮想画素を算出したと同様にしてR系の仮想画素及びB系の仮想画素についてもそれらに相応する画素データを求めることができる。水平画素列（行）L2及びL3上の仮想画素に相応するデータを求めるための上記各演算と同様の演算により、各順次の水平画素列（行）Ln上の仮想画素に相応するデータを求めることができる。上記のようにしてG系、B系及びR系の各仮想画素に相応するデータを求めることができ、これら各データによって正方格子状配列の仮想画素が表される。

【0059】図19に基づき上述した実施例によれば、格子状配列画素データ生成手段において算出の対象となる各仮想画素データについて夫々基礎となる実画素デー

タ毎にそれとの相関度が考慮されるため、算出されるデータの精度が向上し、偽信号として再生画像に発生するモアレ成分が抑制され得る。

【0060】図19に基づき上述した実施例は、マイクロコンピュータの該当機能部を以て構成され得る上記格子状配列画素データ生成手段に、各該当する実画素データを供給する間に、該実画素データに関して、階調変換又は外部機器へのデータ転送若しくは記録媒体へのデータ書き込みのいずれかを含む処理を施す手段が介在されてなる構成をとってもよい。

【0061】また、上記格子状配列画素データ生成手段により生成された各画素データを上記仮想画像空間の水平方向及び垂直方向に1つの実画素の一边の長さを間隔の単位として見て両方向に夫々6n（nは自然数）間隔でサンプリングしてなるデータを画像表示用データとして出力するための画像表示用データ生成手段を備えてなる構成をとってもよい。このような構成によれば、コンピュータへの取り込みやコンピュータの表示画面上への表示、或いは印刷すべき画像の選択や確認を迅速に行なうに好適な正方格子状で比較的粗な密度の画素配列に対応した仮想画素データ（即ち、一つの画像を表すデータ量が高品位画像に対応するそれよりも少ない仮想画素データ）を、簡単な処理によって得ることができる。

【0062】また、このように仮想画像空間の各仮想画素を算出し、然る後これら仮想画素についてサンプリングを行なうことにより画像表示用データ生成するに替えて、上記固体撮像素子としてX-Yアドレス型固体撮像素子を適用し、この固体撮像素子の読み出し動作を制御して上記サンプリングにより抽出する画像表示用データに相応する各仮想画素に準じた位置にある実画素のデータを直接的に摘出して画像表示用データとして割り当てるための制御動作を行う制御手段（コンピュータ等により構成する）を備えてなる構成をとってもよい。このような構成によれば、仮想画像空間の各仮想画素を算出し、然る後これら仮想画素についてサンプリングを行なうことにより画像表示用データ生成する既述の方式と比較して、X-Yアドレス型固体撮像素子の特質を利用してその読み出し動作を制御することにより画素信号の読み出しそのもののサンプリングを行って画像表示用データに相応する各仮想画素に準じた位置にある実画素のデータを直接的に摘出し、この実画素のデータを画像表示用データとして割り当てることで、極めて簡単な構成により迅速な表示を得ることができる。更に、上記格子状配列画素データ生成手段により生成された各画素データを上記仮想画像空間の水平方向には仮想画素で4画素毎に、垂直方向には仮想画素で3画素毎にサンプリングしてなるデータを画像表示用データとして出力するための画像表示用データ生成手段を備えてなる構成をとってもよい。このような構成によれば、コンピュータへの取り込みやコンピュータの表示画面上への表示、或いは印

刷すべき画像の選択や確認を迅速に行なうに好適な正方格子状の画素配列に対応した仮想画素データを、簡単な処理によって得ることができる。

【0063】また更に、上記画像表示用データ生成手段による比較的低下解像度の画像により記録対象画像の状態を確認可能になされたプレビュー手段と、該プレビュー手段により確認された当該画像を表わす上記格子状配列画素データ生成手段の出力データを記録する記録手段とを備えてなる構成をとってもよい。このような構成によれば、記録乃至印刷すべき画像の選択や確認をプレビュー手段により迅速に行った上、これにより選択・確認された画像を高品位な状態で記録手段により記録することができる。

【0064】

【発明の効果】請求項1の発明によれば、通常はコンピュータの表示画面には適合しない非格子状の画素配列を以てなる固体撮像素子の出力映像信号に対応したカラー画像をコンピュータの表示画面上に映出させることができる。

【0065】請求項2の発明によれば、同項に定義のような特定のカラーフィルター配列を有してなる非格子状画素配列の固体撮像素子の出力映像信号に対応したカラー画像をコンピュータの表示画面上乃至はこれと同様の表示画素配列を以てなるモニタ画面上に映出させることができる。

【0066】請求項3の発明によれば、X-Yアドレス型固体撮像素子の特質を利用し、画素出力の読み出し駆動時点で総画素数よりも少数の特定画素の出力をサンプリングするように読み出すことにより、簡易的な表示を速やかに行なうために、或いは、当該画像を略式に認識するための簡易的外部出力用画像データを短時間で伝送するに適した画像データを極めて容易に得ることができる。

【0067】請求項4の発明によれば、対のものとして扱う2本の水平実画素列（行）の画素出力を読み出して仮想画素データを算出するについて、特別な遅延線や一時記憶のための記憶素子を必要としない構成をとることができる、装置としての簡素化が図られる。

【0068】請求項5の発明によれば、この発明の装置の出力データをそのまま一般的なコンピュータの表示画面に適合するものとして扱うことができ、当該画像をコンピュータの表示画面上に簡単に映出させることができる。

【0069】請求項6の発明によれば、実画素データに基づく画像に劣らない品位で画像を再現（印刷等）することができ、且つコンピュータの表示画面にも適合する仮想画素データを得ることができる。

【0070】請求項7の発明によれば、請求項6に定義のような仮想画素データを得るための一つの具体的構成が提供される。請求項8の発明によれば、請求項6に定

義のような仮想画素データによる画像よりも高品位な画像を構成するための仮想画素データを得ることができる。

【0071】請求項9の発明によれば、請求項8に定義のような仮想画素データを得るための一つの具体的構成が提供される。請求項10の発明によれば、請求項6に定義のような仮想画素データによる画像よりも高品位な画像を構成するための比較的密な仮想画素データを得ることができると共に、階調変換、又は、外部機器へのデータ転送、若しくは、記録媒体へのデータ書き込みを簡易的に速やかに行うに好適な比較的粗な仮想画素データを得ることができる。

【0072】請求項11の発明によれば、コンピュータへの取り込みやコンピュータの表示画面上への表示、或いは印刷すべき画像の選択や確認を迅速に行なうに好適な正方格子状の画素配列に対応した仮想画素データを、簡単な処理によって得ることができる。

【0073】請求項12の発明によれば、仮想画像空間の各仮想画素を算出し、然る後これら仮想画素についてサンプリングを行なうことにより画像表示用データ生成するに替えて、X-Yアドレス型固体撮像素子の特質を利用し、その読み出し動作を制御して上記サンプリングにより抽出する画像表示用データに相応する各仮想画素に準じた位置にある実画素のデータを直接的に抽出して画像表示用データとして割り当て、極めて簡単な構成により迅速な表示を得ることができる。

【0074】請求項13の発明によれば、コンピュータへの取り込みやコンピュータの表示画面上への表示、或いは印刷すべき画像の選択や確認を迅速に行なうに好適な正方格子状の画素配列に対応した仮想画素データを、簡単な処理によって得ることができる。

【0075】請求項14の発明によれば、記録乃至印刷すべき画像の選択や確認をプレビュー手段により迅速に行った上、これにより選択・確認された画像を高品位な状態で記録手段により記録することができる。

【0076】請求項15の発明によれば、印刷等を行なうに好適な高品位な画像を構成するための極めて密な仮想画素データを得ることができる。請求項16の発明によれば、印刷等を行なうに好適な高品位な画像を構成するための比較的密な仮想画素データを得ることができると共に、階調変換、又は、外部機器へのデータ転送、若しくは、記録媒体へのデータ書き込みを簡易的に速やかに行うに好適な比較的粗な仮想画素データを得ることができる。

【0077】請求項17の発明によれば、印刷等を行なうに好適な高品位な画像を構成するための極めて密な仮想画素データを得ることができる。請求項18の発明によれば、同項に定義のような特定のカラーフィルター配列を有してなる非格子状画素配列の固体撮像素子の出力映像信号に対応したカラー画像をコンピュータの表示画

面上或いはこれと同様な表示画素配列を以てなるモニタ画面上に映出させることができる。

【0078】請求項19の発明によれば、仮想画像空間の各仮想画素を算出し、然る後これら仮想画素についてサンプリングを行なうことにより画像表示用データ生成するに替えて、X-Yアドレス型固体撮像素子の特質を利用し、その読み出し動作を制御して上記サンプリングにより抽出する画像表示用データに相応する各仮想画素に準じた位置にある実画素のデータを直接的に抽出して画像表示用データとして割り当て、極めて簡単な構成により迅速な表示を得ることができる。

【0079】請求項20の発明によれば、1組のものとして扱う上下に隣接する3本の水平実画素列(行)の画素出力を読み出して仮想画素データを算出するについて、特別な遅延線や一時記憶のための記憶素子を必要としない構成をとることができ、装置としての簡素化が図られる。

【0080】請求項21の発明によれば、この発明の装置の出力データをそのまま一般的なコンピュータの表示画面に適合するものとして扱うことができ、当該画像をコンピュータの表示画面上に簡単に映出させることができる。

【0081】請求項22の発明によれば、実画素データに基づくよりも高品位で画像を再現(印刷時等)することができ、且つコンピュータの表示画面にも適合する仮想画素データを得ることができる。

【0082】請求項23の発明によれば、請求項18に定義のような仮想画素データを得るための一つの具体的構成が提供される。請求項24の発明によれば、請求項18に定義のような仮想画素データによる画像よりも高品位な画像を構成するための比較的密な仮想画素データを得ることができると共に、階調変換、又は、外部機器へのデータ転送、若しくは、記録媒体へのデータ書き込みを簡易的に速やかに行うに好適な比較的粗な仮想画素データを得ることができる。

【0083】請求項25の発明によれば、コンピュータへの取り込みやコンピュータの表示画面上への表示、或いは印刷すべき画像の選択や確認を迅速に行なうに好適な正方格子状の画素配列に対応した仮想画素データを、簡単な処理によって得ることができる。

【0084】請求項26の発明によれば、仮想画像空間の各仮想画素を算出し、然る後これら仮想画素についてサンプリングを行なうことにより画像表示用データ生成するに替えて、X-Yアドレス型固体撮像素子の特質を利用し、その読み出し動作を制御して上記サンプリングにより抽出する画像表示用データに相応する各仮想画素に準じた位置にある実画素のデータを直接的に抽出して画像表示用データとして割り当て、極めて簡単な構成により迅速な表示を得ることができる。

【0085】請求項27の発明によれば、コンピュータ

35

への取り込みやコンピュータの表示画面への表示、或いは印刷すべき画像の選択や確認を迅速に行なうに好適な正方格子状の画素配列に対応した仮想画素データを、簡単な処理によって得ることができる。

【0086】請求項28の発明によれば、記録乃至印刷すべき画像の選択や確認をプレビュー手段により迅速に行った上、これにより選択・確認された画像を高品位な状態で記録手段により記録することができる。

【図面の簡単な説明】

【図1】本発明の一実施例に適用される撮像素子（固体撮像素子）の画素配列を示す図である。

【図2】撮像素子からの信号を読み出すタイミング及び読み出すための構成について説明するための図である。

【図3】撮像素子からの信号を読み出すタイミング及び読み出すための構成について説明するための図である。

【図4】本願発明の他の実施例に適用される撮像素子における所謂 $\Delta$ 配列の実画素と格子状配列の仮想画素の位置関係を示す模式図である。

【図5】図4中黒点で示された仮想画素のデータを得る過程での動作のタイミングを示す図である。

【図6】図4中黒点で示された仮想画素のデータを得る過程での動作のタイミングを示す図である。

【図7】図4に示された撮像素子を適用する実施例の装置の構成を示すブロック図である。

【図8】本願発明の更に他の実施例に適用される撮像素子における所謂 $\Delta$ 配列の実画素と仮想画素、並びに、各仮想画素のデータに基づき生成する各仮想画素のデータに対応する画素位置の位置関係を示す模式図である。

【図9】図8中の仮想画素のデータを得る過程での動作のタイミングを示す図である。

【図10】図8中の仮想画素のデータを得る過程での動作のタイミングを示す図である。

【図11】図8に示された撮像素子を適用する実施例の装置の構成を示すブロック図である。

【図12】本願発明の実施例において仮想画素に対して行なうサンプリングの様子を示す模式図である。

【図13】本願発明の実施例装置の信号処理回路の例を示すブロック図である。

36

【図14】本願発明の他の実施例に適用される撮像素子における所謂 $\Delta$ 配列の実画素と格子状配列の仮想画素の位置関係を示す模式図である。

【図15】図14中の仮想画素のデータを得る過程での動作のタイミングを示す図である。

【図16】図14中の仮想画素のデータを得る過程での動作のタイミングを示す図である。

【図17】図14中の仮想画素のデータを得る過程での動作のタイミングを示す図である。

【図18】図14に示された撮像素子を適用する実施例の装置の構成を示すブロック図である。

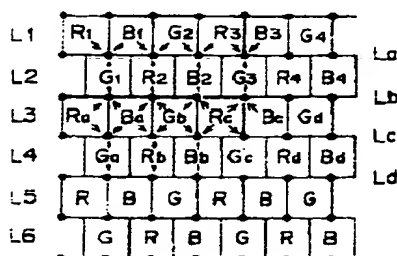
【図19】本願発明の更に他の実施例に適用される撮像素子における実画素と格子状配列の仮想画素の位置関係を示す模式図である。

【図20】単板式カラー撮像素子のカラーフィルター配列方式の相違による撮像のナイキスト限界特性（再現能力の限界特性）の違いを示す図である。

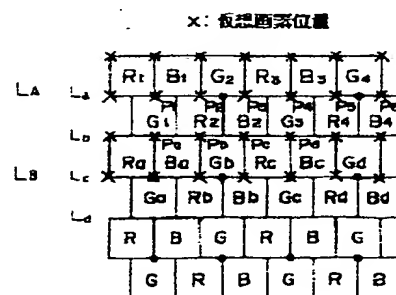
【符号の説明】

101a	.....	ブリアンプ
101b	.....	ブリアンプ
102a	.....	プロセスアンプ
102b	.....	プロセスアンプ
103a	.....	A/D変換器
103b	.....	A/D変換器
104	.....	ラッチ回路
105	.....	セレクト
202a	.....	ブリアンプ
202b	.....	ブリアンプ
203a	.....	プロセスアンプ
203b	.....	プロセスアンプ
204a	.....	A/D変換器
204b	.....	A/D変換器
205a	.....	ラッチ回路
205b	.....	ラッチ回路
206a	.....	ラッチ回路
206b	.....	ラッチ回路
207	.....	セレクト
212	.....	機能ブロック

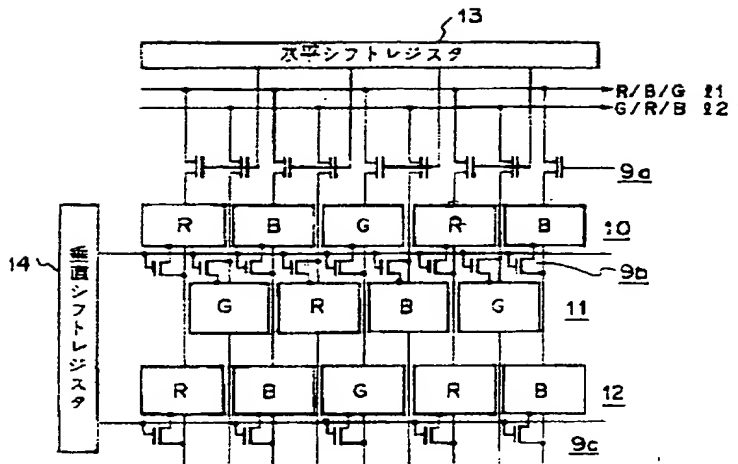
【図4】



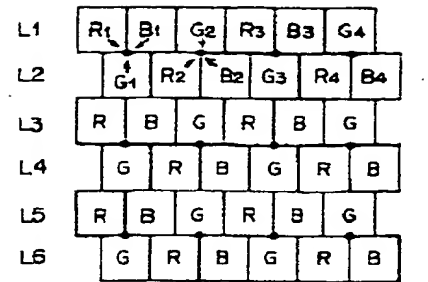
【図8】



【図 1】

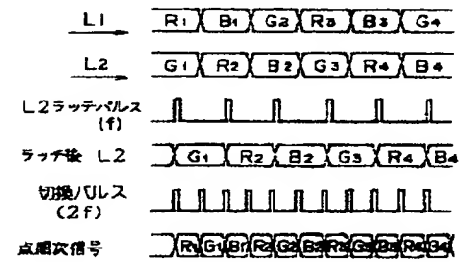


【図 2】



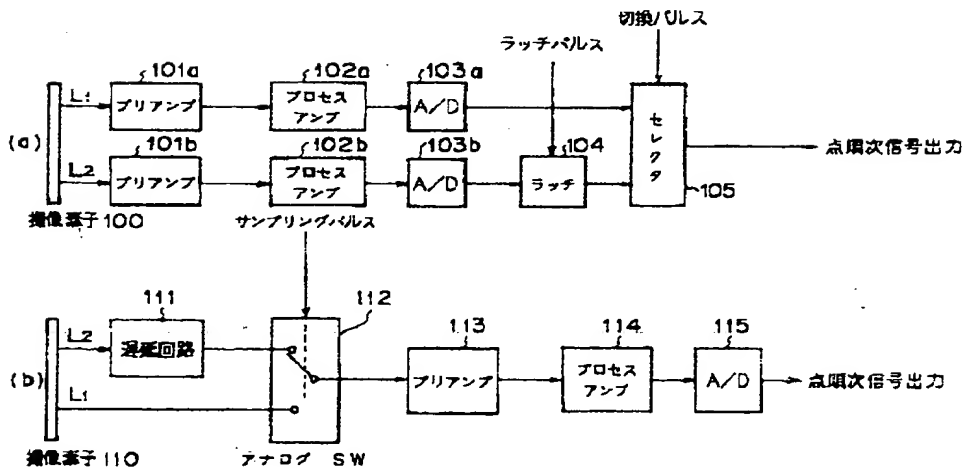
(a) \* : 仮想画素位置

(1) デジタルサンプル



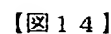
(b)

【図 3】





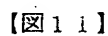
【図 6】



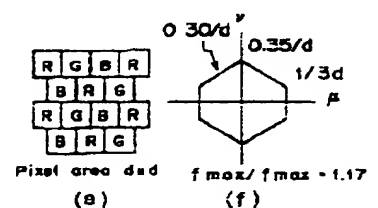
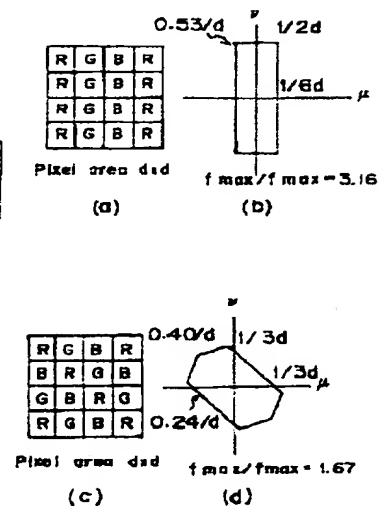
【图 17】



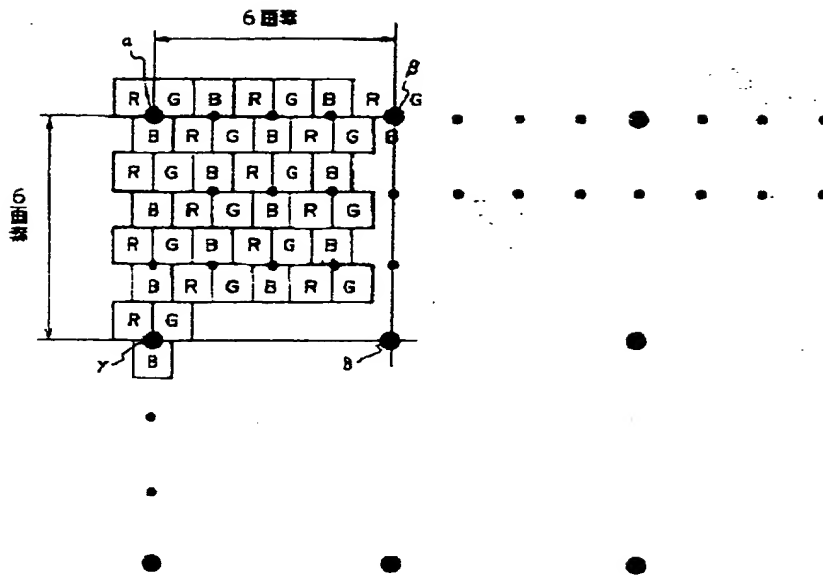
【図 10】



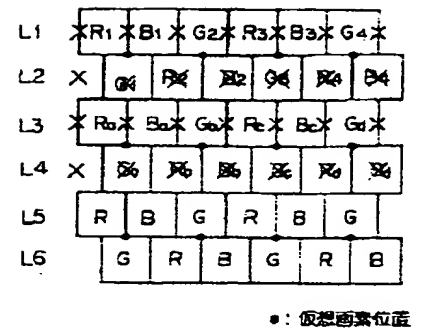
【图 20】



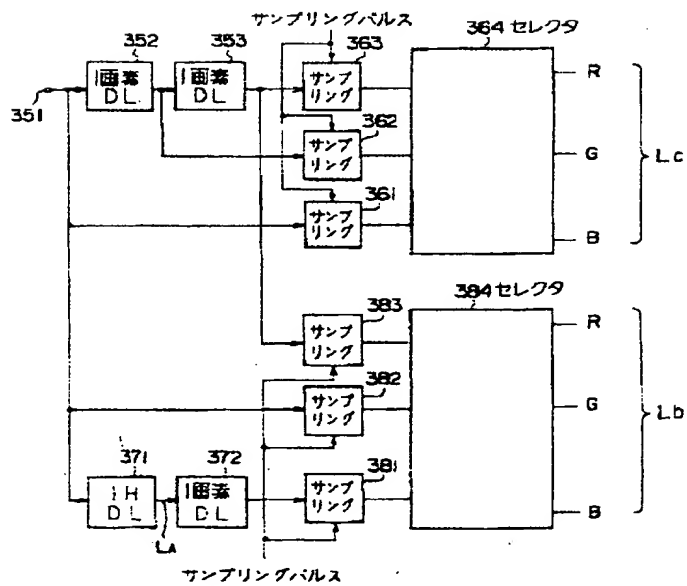
【図12】



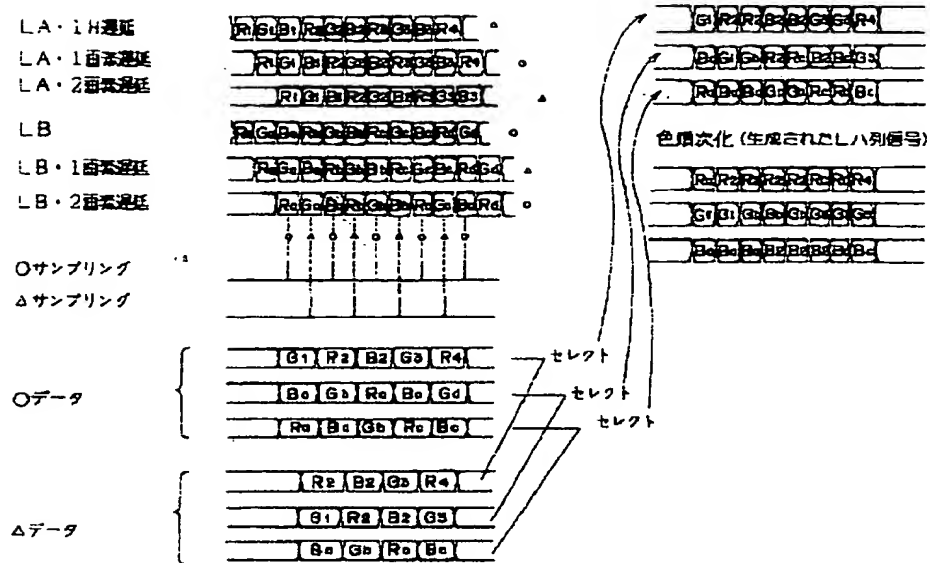
【図19】



【図13】



【图 16】



【图 18】

